

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-347634

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

G09G 3/36

G02F 1/13

**G02F 1/133**

G09G 3/20

(21)Application number : 2000-081306

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 23.03.2000

(72)Inventor : YAMAZAKI SHUNPEI  
KOYAMA JUN

(30)Priority

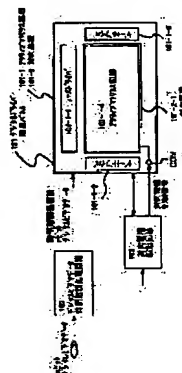
Priority number : 11084663      Priority date : 26.03.1999      Priority country : JP

## (54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a large image plane, high refining, high resolution, and multiple gradient by displaying in an OCB mode, and using a specific number of bits as information of voltage gradation and remaining bits as information of time gradation from a plurality of bits of digital video data input from the outside to simultaneously perform voltage gradation and time gradation.

**SOLUTION:** A digital video data time gradation processing circuit 102 converts n-bits of digital video data within input m-bits digital video data into digital video data for n-bits of voltage gradation. From the m-bits of digital video data, (m-n) bits of gradation information are expressed by time gradation. The converted n-bits of digital video data are input to a liquid crystal panel 101, and input to a source driver 101-1-1. An opposite electrode drive circuit 103 supplies an opposite electrode control signal to an opposite electrode 101-2-1.



## LEGAL STATUS

[Date of request for examination]

17.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit, n bits of the m bit digital video data which are the liquid crystal display which has the opposite substrate which has a counterelectrode, display with OCB mode, and are inputted from the outside as information on electrical-potential-difference gradation And (m-n) the liquid crystal display characterized by performing electrical-potential-difference gradation and time amount gradation to coincidence by using a bit as information on time amount gradation (both m and n being two or more positive numbers and  $m > n$ ).

[Claim 2] The active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit, n bits of the m bit digital video data which are the liquid crystal display which has the opposite substrate which has a counterelectrode, display with OCB mode, and are inputted from the outside as information on electrical-potential-difference gradation And (m-n) the liquid crystal display characterized for electrical-potential-difference gradation and time amount gradation by carrying out almost simultaneously a front and the back, respectively by using a bit as information on time amount gradation (both m and n being two or more positive numbers and  $m > n$ ).

[Claim 3] The active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit, The m bit digital video data inputted as the opposite substrate which has a counterelectrode from the outside are changed into n bit digital video data. the circuit (m →) which supplies said n bit digital video data to said source driver Both n is two or more positive numbers and a liquid crystal display which has  $m > n$ . Perform electrical-potential-difference gradation and time amount gradation to coincidence, and it displays by forming the image of one frame by the subframe of 2 m-n individual. The liquid crystal display characterized by impressing the electrical potential difference for making orientation of a liquid crystal molecule into bend orientation at the time of initiation of a display of the subframe of said 2 m-n individual.

[Claim 4] The active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit, The m bit digital video data inputted as the opposite substrate which has a counterelectrode from the outside are changed into n bit digital video data. the circuit (m →) which supplies said n bit digital video data to said source driver Both n is two or more positive numbers and a liquid crystal display which has  $m > n$ . The liquid crystal display characterized by impressing the electrical potential difference for carrying out almost simultaneously and making orientation of a liquid crystal molecule into bend orientation at the time of initiation of a display of the subframe of said 2 m-n individual for electrical-potential-difference gradation and time amount gradation a front and the back, respectively.

[Claim 5] The active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and

said active-matrix circuit, The m bit digital video data inputted as the opposite substrate which has a counterelectrode from the outside are changed into n bit digital video data. the circuit (m --) which supplies said n bit digital video data to said source driver Both n is two or more positive numbers and a liquid crystal display which has  $m > n$ . Perform electrical-potential-difference gradation and time amount gradation to coincidence, and it displays by forming the image of one frame by the subframe of  $2^{m-n}$  individual. ~~The liquid crystal display characterized by impressing the electrical-potential-difference for~~ making orientation of a liquid crystal molecule into bend orientation at the time of initiation of a display of the frame constituted by the subframe of said  $2^{m-n}$  individual.

[Claim 6] The active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit, The m bit digital video data inputted as the opposite substrate which has a counterelectrode from the outside are changed into n bit digital video data. the circuit (m --) which supplies said n bit digital video data to said source driver Both n is two or more positive numbers and a liquid crystal display which has  $m > n$ . The liquid crystal display characterized by impressing the electrical potential difference for making orientation of a liquid crystal molecule into bend orientation for electrical-potential-difference gradation and time amount gradation a front and the back at the time of initiation of a display of the frame which carries out almost simultaneously and is constituted by the subframe of said  $2^{m-n}$  individual, respectively.

[Claim 7] It is the liquid crystal display according to claim 1 to 6 characterized by for said m being 10 and said n being 2.

[Claim 8] It is the liquid crystal display according to claim 1 to 6 characterized by for said m being 12 and said n being 4.

[Claim 9] The rear projector which has three liquid crystal displays according to claim 1 to 8.

[Claim 10] The front projector which has three liquid crystal displays according to claim 1 to 8.

[Claim 11] The veneer type rear projector which has one liquid crystal display according to claim 1 to 8.

[Claim 12] The goggles mold display which has two liquid crystal displays according to claim 1 to 8.

[Claim 13] The Personal Digital Assistant which has a liquid crystal display according to claim 1 to 8.

[Claim 14] The notebook mold personal computer which has a liquid crystal display according to claim 1 to 8.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

[0002] This invention relates to a liquid crystal display. It is related with the liquid crystal display which

performs a gradation display with both electrical-potential-difference gradation and time amount gradation especially.

[0003]

[Description of the Prior Art]

[0004] The semiconductor device, for example, the technique which produces a thin film transistor (TFT), in which the semi-conductor thin film was formed on the glass-substrate cheap-recently-is progressing quickly. The reason is because the need of an active matrix liquid crystal display has increased.

[0005] Pixel TFT is arranged, respectively to the pixel field of dozens arranged in the shape of a matrix - 1 million numbers, and an active matrix liquid crystal display controls the charge which frequents the pixel electrode connected to each pixel TFT by the switching function of Pixel TFT.

[0006] In recent years, the multi-gradation display which can perform a full color display desirably is called for with highly-minute-izing of an image, and high resolution-ization.

[0007] Moreover, the active matrix liquid crystal indicating equipment of the digital drive method in which a high-speed drive is possible has attracted attention with highly-minute-izing of an indicating equipment, and high-resolution-izing also in an active matrix liquid crystal indicating equipment.

[0008]

[Problem(s) to be Solved by the Invention]

[0009] The D/A conversion circuit (DAC) which changes into analog data (gradation electrical potential difference) the digital video data inputted from the outside is required for the active matrix liquid crystal indicating equipment of a digital drive method. The thing of various classes exists in a D/A conversion circuit.

[0010] The capacity of this D/A conversion circuit, i.e., a D/A conversion circuit, depends for the multi-gradation display capacity of the active matrix liquid crystal indicating equipment of a digital drive method on whether the digital video data which is what bit is convertible for analog data. For example, if a  $2^2=4$  gradation display can be performed if it is the liquid crystal display which generally has the D/A conversion circuit which processes a 2-bit digital video data, a  $2^8=256$  gradation display can be performed if 8 bits becomes, and n bits becomes,  $2^n$  gradation display can be performed.

[0011] However, in order to improve the capacity of a D/A conversion circuit, the circuitry of a D/A conversion circuit becomes complicated, and layout area becomes large. Recently, the liquid crystal display which forms a D/A conversion circuit by poly-Si TFT on the same substrate as a active-matrix circuit has been reported. However, if the circuitry of a D/A conversion circuit becomes complicated in this case, the yield of a D/A conversion circuit will fall and the yield of a liquid crystal display will also fall. Moreover, if the layout area of a D/A conversion circuit becomes large, it will become difficult to realize a small liquid crystal display.

[0012] Moreover, the time amount which writes image data in 1 pixel becomes short with high-resolution[ big-screen-izing of an active matrix liquid crystal indicating equipment, highly-minute-izing, and ]-izing, and the speed of response of a liquid crystal molecule has posed a problem in TN mode (twist nematic mode) using the nematic liquid crystal used well conventionally.

[0013] As mentioned above, implementation of the active matrix liquid crystal display which can realize high-resolution[ big-screen-izing highly-minute-izing, and ]-izing and many gradation-ization is desired.

[0014]

[Means for Solving the Problem]

[0015] Then, this invention is made in view of an above-mentioned problem, and offers the liquid crystal display which can realize high-resolution[ big-screen-izing highly-minute-izing, and ]-izing and many gradation-ization.

[0016] First, drawing 1 is referred to. The outline block diagram of the liquid crystal display of this invention is shown in drawing 1. 101 is a liquid crystal panel which has a digital driver. The liquid crystal panel 101 has the active-matrix substrate 101-1 and the opposite substrate 101-2. In the active-matrix



substrate 101-1, it has the source driver 101-1-1, a gate driver 101-1-2 and 101-1-3, and the active-matrix circuit 101-1-4 where two or more pixels TFT have been arranged in the shape of a matrix. The source driver 101-1-1, a gate driver 101-1-2, and 101-1-3 drive the active-matrix circuit 101-1-4. Moreover, the opposite substrate 101-2 has the counterelectrode 101-2-1. In addition, Terminal COM shows the terminal which supplies a signal to the counterelectrode.

~~[0017] 102 is a digital video data time amount gradation processing circuit. The digital video data time amount gradation processing circuit 102 changes a n-bit digital video data into the digital video data for n-bit electrical potential difference gradation among the m bit digital video data inputted from the outside. The gradation information on a bit is expressed by time amount gradation among m-bit digital video datas (m-n).~~

[0018] The n bit digital video data changed by the digital video data time amount gradation processing circuit 102 are inputted into a liquid crystal panel 101. The n bit digital video data inputted into the liquid crystal panel 101 are inputted into the source driver 101-1-1, are changed into analog gradation data by the D/A conversion circuit in a source driver, are supplied to each source signal line, and are supplied to Pixel TFT.

[0019] 103 is a counterelectrode drive circuit and supplies the counterelectrode control signal which controls the potential of a counterelectrode to the counterelectrode 101-2-1 of a liquid crystal panel 101.

[0020] In addition, in this specification, the liquid crystal display and the liquid crystal panel are used properly. On these specifications, what has a active-matrix circuit at least will be called a liquid crystal panel.

[0021] Here, drawing 2 and drawing 3 explaining the outline block diagram of the liquid crystal panel of the liquid crystal display of this invention are referred to. The active-matrix substrate 101-1 which constitutes a liquid crystal panel 101, an opposite substrate, and liquid crystal 101-3 are shown in drawing 2 and drawing 3. The liquid crystal panel used for this invention has the so-called pi cellular structure, and a display mode called OCB (Optically Compensated Bend) mode is used for it. pi cellular structure is the structure where orientation of the pre tilt angle of a liquid crystal molecule was carried out due to the field symmetry to the longitudinal plane of symmetry between the substrates of a active-matrix substrate and an opposite substrate. If the orientation condition of pi cellular structure serves as spray orientation and impresses an electrical potential difference when the electrical potential difference is not impressed between substrates, it will shift to bend orientation as shown in drawing 2. If an electrical potential difference is furthermore impressed, both substrates will carry out [ the liquid crystal molecule of bend orientation ] orientation to a substrate and a perpendicular, and it will be in the condition that light penetrates.

[0022] As shown in drawing 2, the liquid crystal display of this invention has the liquid crystal panel and the biaxial nature phase contrast plate 111 in which liquid crystal carried out bend orientation, and the polarizing plate of a pair with which the transparency shaft went direct mutually. In the display by OCB mode, the viewing-angle dependency of a retardation is compensated in three dimension with the biaxial nature phase contrast plate.

[0023] In addition, as mentioned above, when not impressing an electrical potential difference to liquid crystal, spray orientation as shown in drawing 3 is carried out.

[0024] In addition, according to OCB mode, about 10X is from the conventional TN mode, and it is the present \*\*\*\*\* about high-speed responsibility.

[0025] Next, another example of the liquid crystal display of this invention is shown in drawing 3030. 301 is a liquid crystal panel which has an analog driver. The liquid crystal display 301 has the active-matrix substrate 301-1 and the opposite substrate 301-2. In the active-matrix substrate 301-1, it has the source driver 301-1-1, a gate driver 301-1-2 and 301-1-3, and the active-matrix circuit 301-1-4 where two or more pixels TFT have been arranged in the shape of a matrix. The source driver 301-1-1, a gate driver 301-1-2, and 301-1-3 drive the active-matrix circuit 301-1-4. Moreover, the opposite

substrate 301-2 has the counterelectrode 301-2-1. In addition, Terminal COM shows the terminal which supplies a signal to the counterelectrode.

[0026] 302 is an A/D-conversion circuit and changes into m bit digital video data the analog video data supplied from the outside. 303 is a digital video-data time amount gradation processing circuit. The digital video-data time amount gradation processing circuit 303 changes a n-bit digital video data into the digital video data for n-bit electrical-potential-difference-gradation-among-the-m-bit-digital-video-data inputted. The gradation information on a bit is expressed by time amount gradation among the m-bit digital video datas (m-n) inputted. The n bit digital video data changed by the digital video-data time amount gradation processing circuit 303 are inputted into the D/A conversion circuit 304, and are changed into an analog video data. The analog video data changed by the D/A conversion circuit 304 is inputted into a liquid crystal display 301. The analog video data inputted into the liquid crystal display 301 is inputted into a source driver, is sampled by the sampling circuit in a source driver, is supplied to each source signal line, and is supplied to Pixel TFT.

[0027] 305 is a counterelectrode drive circuit and supplies the counterelectrode control signal which controls the potential of a counterelectrode to the counterelectrode 301-2-1 of a liquid crystal panel 301.

[0028] Actuation of the liquid crystal display of this invention is explained in detail in the following operation gestalt.

[0029] The configuration of this invention is described below.

[0030] The active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit according to the liquid crystal display of this invention, and the opposite substrate which has a counterelectrode, n bits of the m bit digital video data which are the liquid crystal display which \*\*\*\*, display with OCB mode, and are inputted from the outside as information on electrical-potential-difference gradation And (m-n) by using a bit as information on time amount gradation (both m and n being two or more positive numbers and  $m > n$ ), the liquid crystal display characterized by performing electrical-potential-difference gradation and time amount gradation to coincidence is offered.

[0031] Moreover, the active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit according to the liquid crystal display of this invention, n bits of the m bit digital video data which are the liquid crystal display which has the opposite substrate which has a counterelectrode, display with OCB mode, and are inputted from the outside as information on electrical-potential-difference gradation And (m-n) by using a bit as information on time amount gradation (both m and n being two or more positive numbers and  $m > n$ ), the liquid crystal display characterized by carrying out almost simultaneously a front and the back, respectively is offered in electrical-potential-difference gradation and time amount gradation.

[0032] The active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit according to s and the liquid crystal display of this invention, The m bit digital video data inputted as the opposite substrate which has a counterelectrode from the outside are changed into n bit digital video data. the circuit (m --) which supplies said n bit digital video data to said source driver Both n is two or more positive numbers and a liquid crystal display which has  $m > n$ . Perform electrical-potential-difference gradation and time amount gradation to coincidence, and it displays by forming the image of one frame by the subframe of 2 m-n individual. The liquid crystal display characterized by impressing the electrical potential difference for making orientation of a liquid crystal molecule into bend orientation at the time of initiation of a display of the subframe of said 2 m-n individual is offered.

[0033] Moreover, the active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit according to the liquid crystal display of this invention, The m bit digital video

data inputted as the opposite substrate which has a counterelectrode from the outside are changed into  $n$  bit digital video data. the circuit ( $m \rightarrow$ ) which supplies said  $n$  bit digital video data to said source driver Both  $n$  is two or more positive numbers and a liquid crystal display which has  $m > n$ . The liquid crystal display characterized by impressing the electrical potential difference for carrying out almost simultaneously and making orientation of a liquid crystal molecule into bend orientation at the time of initiation of a display of the subframe of said  $2^{m-n}$  individual for electrical-potential-difference gradation and time amount gradation a front and the back, respectively is offered.

[0034] Moreover, the active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit according to the liquid crystal display of this invention, The  $m$  bit digital video data inputted as the opposite substrate which has a counterelectrode from the outside are changed into  $n$  bit digital video data. the circuit ( $m \rightarrow$ ) which supplies said  $n$  bit digital video data to said source driver Both  $n$  is two or more positive numbers and a liquid crystal display which has  $m > n$ . Perform electrical-potential-difference gradation and time amount gradation to coincidence, and it displays by forming the image of one frame by the subframe of  $2^{m-n}$  individual. The liquid crystal display characterized by impressing the electrical potential difference for making orientation of a liquid crystal molecule into bend orientation at the time of initiation of a display of the frame constituted by the subframe of said  $2^{m-n}$  individual is offered.

[0035] Moreover, the active-matrix substrate which has the source driver and gate driver which drive the active-matrix circuit where two or more pixels TFT have been arranged in the shape of a matrix, and said active-matrix circuit according to the liquid crystal display of this invention, The  $m$  bit digital video data inputted as the opposite substrate which has a counterelectrode from the outside are changed into  $n$  bit digital video data. the circuit ( $m \rightarrow$ ) which supplies said  $n$  bit digital video data to said source driver Both  $n$  is two or more positive numbers and a liquid crystal display which has  $m > n$ . The liquid crystal display characterized by impressing the electrical potential difference for making orientation of a liquid crystal molecule into bend orientation for electrical-potential-difference gradation and time amount gradation at before, the back, or the time of initiation of a display of the frame which carries out almost simultaneously and is constituted by the subframe of said  $2^{m-n}$  individual, respectively is offered.

[0036] Said  $m$  be 10 and you may make it said  $n$  be 2.

[0037] Said  $m$  be 12 and you may make it said  $n$  be 4.

[0038]

[Embodiment of the Invention]

[0039] The liquid crystal display of this invention is explained in detail with an operation gestalt below. However, the liquid crystal display of this invention is not necessarily limited to the following operation gestalten.

[0040] (Operation gestalt 1)

[0041] The outline block diagram of the liquid crystal display of this operation gestalt is shown in drawing 4. In this operation gestalt, since explanation is simple, the liquid crystal display with which 4-bit digital video data are supplied from the exterior is taken for an example.

[0042] The outline block diagram of the liquid crystal display of this invention is shown in drawing 4. 401 is a liquid crystal panel which has a digital driver. The liquid crystal panel 401 has the active-matrix substrate 401-1 and the opposite substrate 401-2. In the active-matrix substrate 401-1, it has the source driver 401-1-1, a gate driver 401-1-2 and 401-1-3, and the active-matrix circuit 401-1-4 where two or more pixels TFT have been arranged in the shape of a matrix. The source driver 401-1-1, a gate driver 401-1-2, and 401-1-3 drive the active-matrix circuit 401-1-4. Moreover, the opposite substrate 401-2 has the counterelectrode 401-2-1. In addition, Terminal COM shows the terminal which supplies a signal to the counterelectrode.

[0043] In addition, OCB mode which was mentioned above is used for the liquid crystal panel of this operation gestalt as a display mode.

[0044] 402 is a digital video-data time amount gradation processing circuit. The digital video-data time amount gradation processing circuit 402 changes a 2-bit digital video data into the 2-bit digital video data for electrical-potential-difference gradation among the 4-bit digital video data inputted from the outside. Remaining 2-bit gradation information is expressed by time amount gradation among 4-bit digital video datas.

~~[0045] 2-bit digital video data after being changed by the digital video-data time amount gradation processing circuit 402 are inputted into a liquid crystal panel 401. The 2-bit digital video data inputted into the liquid crystal panel 401 are inputted into a source driver, are changed into analog gradation data by the D/A conversion circuit in a source driver (not shown), and are supplied to each source signal line.~~

[0046] Moreover, 403 is a counterelectrode drive circuit and supplies the counterelectrode control signal which controls the potential of a counterelectrode to the counterelectrode 401-2-1 of a liquid crystal panel 401.

[0047] Here, the circuit circuitry, especially the active-matrix circuit 401-1-4 of a liquid crystal panel 401 of this operation gestalt are explained using drawing 5 . [ of a liquid crystal display ]

[0048] In this operation gestalt, the active-matrix circuit 401-1-4 has the pixel of an individual (xxy). each pixel -- explanation -- for convenience -- P -- 1 and 1P -- the sign of 2, 1, ..., Py, and x grade is attached. Moreover, each pixel has a pixel TFT501 and retention volume 502. Moreover, liquid crystal is inserted between the active-matrix substrate and the opposite substrate. Liquid crystal 502 shows the liquid crystal corresponding to each pixel typically.

[0049] The digital driver liquid crystal panel of this operation gestalt performs the so-called line sequential drive which drives the pixel for one line (1 1 for example, P 1P 1, 2, ..., P x) to coincidence. In other words, an analog gradation electrical potential difference is written in the pixel for one line at coincidence. The time amount taken to write an analog gradation electrical potential difference in all pixels (P1, 1-Py, x) will be called an one-frame period (Tf). Moreover, with this operation gestalt, the period which quadrisected the one-frame period (Tf) will be called a subframe period (Tsf). Furthermore, the time amount taken to write an analog gradation electrical potential difference in the pixel for one line (1 1 for example, P 1P 1, 2, ..., P x) will be called 1 subframe line period (Tsfl).

[0050] The counterelectrode control signal from a counterelectrode control circuit is supplied to a counterelectrode 401-2-1. In addition, a counterelectrode control signal is supplied to the terminal COM to which the counterelectrode was connected electrically.

[0051] Next, the gradation display of the liquid crystal display of this operation gestalt is explained. The digital video data supplied to the liquid crystal display of this operation gestalt from the outside is 4 bits, and has the information on 16 gradation. Here, drawing 6 is referred to. The display gradation level of the liquid crystal display of this operation gestalt is shown in drawing 6 . Voltage-level VL is the minimum voltage level inputted into a D/A conversion circuit, and a voltage level VH is the highest voltage level inputted into a D/A conversion circuit.

[0052] In this operation gestalt, in order to realize the voltage level of 2 bits, i.e., 4 gradation, between a voltage level VH and voltage-level VLs was mostly quadrisected into equal voltage level, and the step of the voltage level was set to alpha. In addition, it is  $\alpha = (VH - VL) / 4$ . Therefore, the electrical-potential-difference gradation level which the D/A conversion circuit of this operation gestalt outputs serves as VL, when the address of a digital video data is (00), when the address of a digital video data is (01), it is set to VL+alpha, when the address of a digital video data is (10), it is set to VL+2alpha, and when the address of a digital video data is (11), it is set to VL+3alpha.

[0053] The electrical-potential-difference gradation level which can output the D/A conversion circuit of this operation gestalt is VL, (VL+alpha), (VL+2alpha), and four kinds that reach (VL+3alpha) as mentioned above. Then, in this invention, the number of the display gradation level of a liquid crystal display can be raised by combining a time amount gradation display.

[0054] In this operation gestalt, the display gradation level equivalent to the electrical-potential-difference gradation level which divided step alpha of a voltage level into about four equally is realizable

by using the information for 2 bits of the 4-bit digital video data for a time amount gradation display. That is, the liquid crystal display of this example can realize display gradation level equivalent to the electrical-potential-difference gradation level of  $V_L$ ,  $V_L + \alpha / 4$ ,  $V_L + 2\alpha / 4$ ,  $V_L + 3\alpha / 4$ ,  $V_L + \alpha$ ,  $V_L + 5\alpha / 4$ ,  $V_L + 6\alpha / 4$ ,  $V_L + 7\alpha / 4$ ,  $V_L + 2\alpha$ ,  $V_L + 9\alpha / 4$ ,  $V_L + 10\alpha / 4$ ,  $V_L + 11\alpha / 4$ , and  $V_L + 3\alpha$ .

[0055] Here, correspondence with the 4-bit digital video data address inputted from the outside, and after [ time amount gradation processing ] digital video data address and the electrical-potential-difference gradation level corresponding to it, and the display gradation level which combined time amount gradation is shown in the following table 1.

[0056]

[Table 1]

[0057] In addition, as shown in Table 1, in this example, the gradation voltage level ( $V_L + 3\alpha$ ) with the address of 4-bit digital video data same [ - (1100) (1111) ] is outputted.

[0058] In addition, though the gradation voltage level shown in Table 1 is an electrical potential difference actually impressed to liquid crystal, it is good. That is, though the gradation voltage level shown in Table 1 is a voltage level which took into consideration VCOM impressed to the below-

mentioned counterelectrode, it is good.

[0059] The liquid crystal display of this invention shows by dividing the one-frame period  $T_f$  at four subframe periods (1st Tsf, 2nd Tsf, 3rd Tsf, and 4th Tsf). Furthermore, since the liquid crystal display of this operation gestalt performs a line sequential drive, in an one-frame period, as for each pixel, a gradation electrical potential difference is written in during 1 subframe line period (Tsfl). Therefore, the address of the 2-bit digital video data after time amount gradation processing is inputted into a D/A conversion circuit, and a gradation electrical potential difference is outputted to each subframe line period (1st Tsfl, 2nd Tsfl, 3rd Tsfl, and 4th Tsfl) corresponding to each subframe period (1st Tsf, 2nd Tsf, 3rd Tsf, and 4th Tsf) from a D/A conversion circuit. Four displays of a subframe are performed at a high speed by the gradation electrical potential difference written in four subframe line periods (1st Tsfl, 2nd Tsfl, 3rd Tsfl, and 4th Tsfl), and the display gradation of one frame becomes what carried out the time average of the total of the gradation voltage level of each subframe line period as a result. Thus, electrical-potential-difference gradation and time amount gradation are performed to coincidence.

[0060] In addition, in the liquid crystal display of this operation gestalt, in each subframe period, before a subframe line period starts, the initialization period ( $T_i$ ) is established. The liquid crystal in spray orientation is made to shift to all pixels in this initialization period ( $T_i$ ) in bend orientation by impressing the electrical potential difference  $V_{COMi}$  (counterelectrode initialization electrical potential difference) which impresses a certain electrical potential difference  $V_i$  (pixel electrode initialization electrical potential difference), and is in a counterelectrode.

[0061] Therefore, in the liquid crystal display of this operation gestalt, even when using the D/A conversion circuit treating 2-bit digital video data, gradation level of 3= 24-13 gradation can be displayed.

[0062] In addition, the address (or gradation voltage level) of the digital video data written in each subframe line period (1st Tsfl, 2nd Tsfl, 3rd Tsfl, and 4th(s)) may be set up also with combination other than table 1. For example, in Table 1, when a digital video data address is (0010), it is indicated that the gradation electrical potential difference of ( $V_L + \alpha$ ) is written in the 3rd subframe line period (3rd Tsfl) and the 4th subframe line period (4th Tsfl), but in order to realize this invention, it is not necessarily limited to this combination. That is, when a digital video data address is (0010), it can be set up freely that the gradation electrical potential difference of ( $V_L + \alpha$ ) should just be written in a total of two subframe periods among four subframe periods of the 1st subframe line period - 4th subframe line period in which subframe period the gradation electrical potential difference of ( $V_L + \alpha$ ) is written.

[0063] Here, drawing 7 and drawing 8 are referred to. The drive timing chart of the liquid crystal display of this operation gestalt is shown in drawing 7 and drawing 8. drawing 7 and drawing 8 -- Pixel P -- 1, 1, and Pixel P -- 2, 1, and Pixel P -- 3, 1 and Pixel P<sub>y</sub>, and 1 are taken and shown in the example. In addition, it is explaining using drawing 7 and 2 Figs. of drawing 8 on account of a drawing.

[0064] As mentioned above, an one-frame period ( $T_f$ ) is constituted by the 1st subframe period (1st Tsf), the 2nd subframe period (2nd Tsf), the 3rd subframe period (3rd Tsf), and the 4th subframe period (4th Tsf). There is an initialization period ( $T_i$ ) in the beginning of each subframe period, and a pixel electrode initialization electrical potential difference ( $V_i$ ) is impressed to all pixels at this initialization period ( $T_i$ ). Moreover, a counterelectrode initialization electrical potential difference ( $V_{COMi}$ ) is impressed to a counterelectrode (COM) at an initialization period ( $T_i$ ).

[0065] Therefore, in this operation gestalt, in an initialization period ( $T_i$ ), the electrical potential difference of ( $V_i + V_{COMi}$ ) will be impressed to the liquid crystal inserted into the pixel electrode and the counterelectrode, and the liquid crystal molecule which was carrying out spray orientation carries out bend orientation, and will be in the condition in which a high-speed response is possible also by impression of an analog gradation electrical potential difference which has subsequent image information.

[0066] the 1st subframe period -- setting -- after the initialization (period  $T_i$ ) progress and Pixel P -- a digital video data is changed and written [ 1 and 1 ] in an analog gradation electrical potential difference by the D/A conversion circuit at the 1st subframe line period (1st Tsfl). In addition,  $V_{COM}$  is impressed

to a counterelectrode after the initialization (period  $T_i$ ) progress. In addition, VCOM sees the CHIRATSUKI condition of a display screen and can adjust it now. Moreover, VCOM may be 0V.

[0067] In addition, as for  $V_i$ ,  $VCOM_i$ , and VCOM, it is desirable to set up the optimal value according to the liquid crystal to be used, display condition, etc.

[0068] After a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit and is written in a pixel P1 and the 1-pixels P1 and x, a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit, and is written in a pixel P2 and the 1-pixels P2 and x at the next subframe line period.

[0069] Thus, the analog gradation electrical potential difference which has image information is written in all pixels in order. Therefore, the 1st subframe period expires.

[0070] And the 2nd subframe period starts after progress of the 1st subframe period. Also in the 2nd subframe period (2nd  $T_{sf}$ ), a counterelectrode initialization electrical potential difference ( $VCOM_i$ ) is supplied to a counterelectrode (COM) at an initialization period ( $T_i$ ). Also in the 2nd subframe period, after the initialization (period  $T_i$ ) progress, a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit, and is written in a pixel P1 and the 1-pixels P1 and x at the 2nd subframe line period (2nd  $T_{sfl}$ ). After a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit and is written in a pixel P1 and the 1-pixels P1 and x, a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit, and is written in a pixel P2 and the 1-pixels P2 and x at the next subframe line period. In addition, VCOM is impressed to a counterelectrode after the initialization (period  $T_i$ ) progress.

[0071] Thus, the analog gradation electrical potential difference which has image information is written in all pixels in order. Therefore, the 2nd subframe period expires.

[0072] Same actuation is performed also in the 3rd subframe period (3rd  $T_{sf}$ ) and the 4th subframe period (4th  $T_{sf}$ ).

[0073] Thus, from the 1st subframe period to the 4th subframe period expires.

[0074] The 2nd frame period starts after the 1st frame period termination ( drawing 8 ). With this operation gestalt, frame reversal to which the sense of the electric field impressed to liquid crystal for every frame period becomes reverse is performed. Therefore, in the 2nd frame period, when the pixel electrode initialization electrical potential difference ( $V_i$ ) and gradation electrical potential difference by which pixel electrode supply is carried out make a counterelectrode a reference potential, the 1st frame period and the electrical potential difference of reversed polarity will be impressed.

[0075] Here, drawing 9 is referred to. Drawing 9 is the example which showed the relation between the gradation voltage level written in the pixel electrode of a certain pixel (1 for example, the pixel P 1) for every subframe period, and the gradation display level in a frame period.

[0076] Its attention is paid to the one introduction period eye. First, in an initialization period ( $T_i$ ), an initialization electrical potential difference ( $V_i$ ) is impressed to a pixel electrode, and the liquid crystal in spray orientation shifts to bend orientation. The gradation electrical potential difference of ( $V_L + \alpha$ ) is written in the 1st subframe line period (1st  $T_{sfl}$ ) after the initialization (period  $T_i$ ) termination, and the gradation display corresponding to a gradation electrical potential difference ( $V_L + \alpha$ ) is performed at the 1st subframe period (1st  $T_{sf}$ ). The gradation electrical potential difference of ( $V_L + 2\alpha$ ) is written in the 2nd subframe line period (2nd  $T_{sfl}$ ), and the gradation display corresponding to a gradation electrical potential difference ( $V_L + \alpha$ ) is performed at the 2nd subframe period (2nd  $T_{sf}$ ). The gradation electrical potential difference of ( $V_L + 2\alpha$ ) is written in the 3rd subframe line period (3rd  $T_{sfl}$ ), and the gradation display corresponding to a gradation electrical potential difference ( $V_L + 2\alpha$ ) is performed at the 3rd subframe period (3rd  $T_{sf}$ ). The gradation electrical potential difference of ( $V_L + 2\alpha$ ) is written in the 4th subframe line period (1st  $T_{sfl}$ ), and the gradation display corresponding to a gradation electrical potential difference ( $V_L + 2\alpha$ ) is performed at the 4th subframe period (4th  $T_{sf}$ ). Therefore, the gradation display level of the 1st frame serves as a gradation



display corresponding to the gradation voltage level of  $(VL+7\alpha / 4)$ .

[0077] Next, its attention is paid to a two-frame period eye. First, in an initialization period ( $T_i$ ), an initialization electrical potential difference ( $V_i$ ) is impressed to a pixel electrode, and the liquid crystal in spray orientation shifts to bend orientation. The gradation electrical potential difference of  $(VL+2\alpha)$  is written in the 1st subframe line period (1st  $T_{sfl}$ ) after the initialization (period  $T_i$ ) termination, and the gradation display corresponding to a gradation electrical potential difference  $(VL+2\alpha)$  is performed at the 1st subframe period (1st  $T_{sf}$ ). The gradation electrical potential difference of  $(VL+2\alpha)$  is written in the 2nd subframe line period (2nd  $T_{sfl}$ ), and the gradation display corresponding to a gradation electrical potential difference  $(VL+2\alpha)$  is performed at the 2nd subframe period (2nd  $T_{sf}$ ). The gradation electrical potential difference of  $(VL+3\alpha)$  is written in the 3rd subframe line period (3rd  $T_{sfl}$ ), and the gradation display corresponding to a gradation electrical potential difference  $(VL+3\alpha)$  is performed at the 3rd subframe period (3rd  $T_{sf}$ ). The gradation electrical potential difference of  $(VL+3\alpha)$  is written in the 4th subframe line period (1st  $T_{sfl}$ ), and the gradation display corresponding to a gradation electrical potential difference  $(VL+3\alpha)$  is performed at the 4th subframe period (4th  $T_{sf}$ ). Therefore, the gradation display level of the 1st frame serves as a gradation display corresponding to the gradation voltage level of  $(VL+10\alpha / 4)$ .

[0078] In addition, in this operation gestalt, in order to realize the voltage level of 4 gradation, between a voltage level  $V_H$  and voltage-level  $V_L$ s was mostly divided into equal voltage level, the step of the voltage level was set to  $\alpha$ , but even when between a voltage level  $V_H$  and voltage-level  $V_L$ s is not divided into equal voltage level but it is set as arbitration, there is effectiveness of this invention.

[0079] Moreover, in this operation gestalt, although a voltage level  $V_H$  and voltage-level  $V_L$  are inputted into the D/A conversion circuit of a liquid crystal panel and it enabled it to realize a gradation voltage level, the input of three or more voltage levels can realize a gradation voltage level.

[0080] Moreover, in this example, the gradation voltage level written in each subframe line period was set up as shown in Table 1, but as mentioned already, it is not necessarily limited to Table 1.

[0081] Moreover, in this example, a 2-bit digital video data is changed into the digital video data for 2-bit electrical-potential-difference gradation among the 4-bit digital video data inputted from the outside, and 2-bit gradation information was expressed by time amount gradation among 4-bit digital video datas. Here, generally,  $n$  bit digital video data are changed into the digital video data for a gradation electrical potential difference by the time amount gradation processing circuit, and the exterior to  $m$  bits digital video data considers the case where the gradation information on a bit  $(m-n)$  is expressed by time amount gradation. In addition, both  $m$  and  $n$  are two or more integers, and are taken as  $m > n$ .

[0082] In this case, the relation between a frame period ( $T_f$ ) and a subframe period ( $T_{sf}$ ) serves as  $T_f = 2^{m-n} T_{sf}$ , and can perform the gradation display of a passage  $(2^m - (2^{m-n} - 1))$ .

[0083] In addition, in this operation gestalt, although explained taking the case of the case of  $m = 4$  and  $n = 2$ , it cannot be overemphasized that it is not necessarily limited in these cases. You may be  $m = 12$  and  $n = 4$ . Moreover, you may be  $m = 8$  and  $n = 2$ . Moreover, you may be  $m = 8$  and  $n = 6$ . Moreover, you may be  $m = 10$  and  $n = 2$ , and may be the case of others.

[0084] moreover, electrical-potential-difference gradation and time amount gradation -- respectively -- before and after -- or it may be made to carry out almost simultaneously.

[0085] (Operation gestalt 2)

[0086] In this operation gestalt, the case where a frame reversal drive is performed for every subframe is explained in the configuration of the liquid crystal display of this invention in the above-mentioned operation gestalt 1.

[0087] Drawing 10 is referred to. The drive timing chart of the liquid crystal display of this operation gestalt is shown in drawing 10. drawing 10 -- Pixel P -- 1, 1, and Pixel P -- 2, 1, and Pixel P -- 3, 1 and Pixel  $P_y$ , and 1 are taken and shown in the example.

[0088] Also in this operation gestalt, an one-frame period ( $T_f$ ) is constituted by the 1st subframe period (1st  $T_{sf}$ ), the 2nd subframe period (2nd  $T_{sf}$ ), the 3rd subframe period (3rd  $T_{sf}$ ), and the 4th subframe



period (4th Tsf) as mentioned above. There is an initialization period (Ti) in the beginning of each subframe period, and a pixel electrode initialization electrical potential difference (Vi) is impressed to all pixels at this initialization period (Ti). Moreover, a counterelectrode initialization electrical potential difference (VCOMi) is impressed to a counterelectrode (COM) at an initialization period (Ti).

[0089] Therefore, also in this operation gestalt, in an initialization period (Ti), the electrical potential difference of (Vi+VCOMi) will be impressed to the liquid crystal inserted into the pixel electrode and the counterelectrode, and the liquid crystal molecule which was carrying out spray orientation carries out bend orientation, and will be in the condition in which a high-speed response is possible also by impression of an analog gradation electrical potential difference which has subsequent image information. [0090] the 1st subframe period -- setting -- after the initialization (period Ti) progress and Pixel P -- a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit at the 1st subframe line period (1st Tsfl), and the analog gradation electrical potential difference is written in 1 and 1. In addition, the analog gradation electrical potential difference corresponding to each pixel is written in a pixel P1 and the 1- pixels P1 and x at coincidence. In addition, VCOM is impressed to a counterelectrode after the initialization (period Ti) progress. In addition, VCOM sees the CHIRATSUKI condition of a display screen and can adjust it now. Moreover, also in this operation gestalt, VCOM may be 0V.

[0091] After a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit and is written in a pixel P1 and the 1- pixels P1 and x, a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit, and is written in a pixel P2 and the 1- pixels P2 and x at the next subframe line period.

[0092] Thus, the analog gradation electrical potential difference which has image information is written in all pixels in order. Therefore, the 1st subframe period expires.

[0093] And the 2nd subframe period starts after progress of the 1st subframe period. Also in the 2nd subframe period (2nd Tsf), a counterelectrode initialization electrical potential difference (VCOMi) is supplied to a counterelectrode (COM) at an initialization period (Ti). In addition, he is trying for the sense of the electric field impressed to liquid crystal for every subframe period to become reverse in this operation gestalt. Also in the 2nd subframe period, after the initialization (period Ti) progress, a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit, and is written in a pixel P1 and the 1- pixels P1 and x at the 1st subframe line period (1st Tsfl). After a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit and is written in a pixel P1 and the 1- pixels P1 and x, a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit, and is written in a pixel P2 and the 1- pixels P2 and x at the next subframe line period. In addition, VCOM is impressed to a counterelectrode after the initialization (period Ti) progress.

[0094] Thus, the analog gradation electrical potential difference which has image information is written in all pixels in order. Therefore, the 2nd subframe period expires.

[0095] Same actuation is performed also in the 3rd subframe period (3rd Tsf) and the 4th subframe period (4th Tsf).

[0096] Thus, from the 1st subframe period to the 4th subframe period expires.

[0097] The 2nd frame period starts after the 1st frame period termination (not shown).

[0098] Thus, in this operation gestalt, since it displays with the subframe reversal method with which the sense of the electric field impressed to liquid crystal for every subframe period becomes reverse, little display of a flicker is attained more.

[0099] (Operation gestalt 3)

[0100] In this operation gestalt, the case where establish an initialization period only at the 1st subframe period, and impress an initialization electrical potential difference (Vi and VCOM), and a frame reversal drive is performed is explained in the configuration of the liquid crystal display of this invention in the above-mentioned operation gestalt 1.

[0101] Drawing 11 is referred to. The drive timing chart of the liquid crystal display of this operation gestalt is shown in drawing 11. drawing 11 -- Pixel P -- 1, 1, and Pixel P -- 2, 1, and Pixel P -- 3, 1 and Pixel P<sub>y</sub>, and 1 are taken and shown in the example.

[0102] Also in this operation gestalt, an one-frame period ( $T_f$ ) is constituted by the 1st subframe period (1st  $T_{sf}$ ), the 2nd subframe period (2nd  $T_{sf}$ ), the 3rd subframe period (3rd  $T_{sf}$ ), and the 4th subframe period (4th  $T_{sf}$ ) as mentioned above. ~~the above-mentioned operation gestalt 1 -- things -- \*\* is the~~ point that there is an initialization period ( $T_i$ ) only in the beginning of the 1st subframe period, and a pixel electrode initialization electrical potential difference ( $V_i$ ) is impressed to all pixels at this initialization period ( $T_i$ ).

[0103] Moreover, it is same that a counterelectrode initialization electrical potential difference ( $V_{COMi}$ ) is impressed to a counterelectrode (COM) at an initialization period ( $T_i$ ).

[0104] Therefore, also in this operation gestalt, in an initialization period ( $T_i$ ), the electrical potential difference of ( $V_i + V_{COMi}$ ) will be impressed to the liquid crystal inserted into the pixel electrode and the counterelectrode, and the liquid crystal molecule which was carrying out spray orientation carries out bend orientation, and will be in the condition in which a high-speed response is possible also by impression of an analog gradation electrical potential difference which has subsequent image information.

[0105] the 1st subframe period -- setting -- after the initialization (period  $T_i$ ) progress and Pixel P -- a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit at the 1st subframe line period (1st  $T_{sfl}$ ), and the analog gradation electrical potential difference is written in 1 and 1. In addition, the analog gradation electrical potential difference corresponding to each pixel is written in a pixel P1 and the 1- pixels P1 and x at coincidence. In addition, VCOM is impressed to a counterelectrode after the initialization (period  $T_i$ ) progress. In addition, VCOM sees the CHIRATSUKI condition of a display screen and can adjust it now. Moreover, also in this operation gestalt, VCOM may be 0V.

[0106] After a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit and is written in a pixel P1 and the 1- pixels P1 and x, a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit, and is written in a pixel P2 and the 1- pixels P2 and x at the next subframe line period.

[0107] Thus, the analog gradation electrical potential difference which has image information is written in all pixels in order. Therefore, the 1st subframe period expires.

[0108] And the 2nd subframe period starts after progress of the 1st subframe period. An initialization period ( $T_i$ ) is not established in the 2nd subframe period (2nd  $T_{sf}$ ). Therefore, an initialization electrical potential difference ( $V_i$  and  $V_{COM}$ ) is not impressed to a pixel at the time of initiation of the 2nd subframe period. A digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit, and is written in a pixel P1 and the 1- pixels P1 and x at the 1st subframe line period (1st  $T_{sfl}$ ). After a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit and is written in a pixel P1 and the 1- pixels P1 and x, a digital video data is changed into an analog gradation electrical potential difference by the D/A conversion circuit, and is written in a pixel P2 and the 1- pixels P2 and x at the next subframe line period.

[0109] Thus, the analog gradation electrical potential difference which has image information is written in all pixels in order. Therefore, the 2nd subframe period expires.

[0110] Also in the 3rd subframe period (3rd  $T_{sf}$ ) and the 4th subframe period (4th  $T_{sf}$ ), the same actuation as the 2nd subframe period (2nd  $T_{sf}$ ) is performed.

[0111] Thus, from the 1st subframe period to the 4th subframe period expires.

[0112] The 2nd frame period starts after the 1st frame period termination (not shown).

[0113] (Operation gestalt 4)

[0114] In this operation gestalt, the liquid crystal display into which 10-bit digital video data are inputted is explained. Drawing 12 is referred to. The outline block diagram of the liquid crystal display of this

example is shown in drawing 12 . The liquid crystal display 1001 has the active-matrix substrate 1001-1 and the opposite substrate 1001-2. In the active-matrix substrate 1001-1, it has the active-matrix circuit 1001-1-4 where the source driver 1001-1-1 and 1001-1-2, a gate driver 1001-1-3, and two or more pixels TFT have been arranged in the shape of a matrix, the digital video-data time amount gradation processing circuit 1001-1-5, and the counterelectrode drive circuit 1001-1-6. Moreover, the opposite substrate 1001-2 has the counterelectrode 1001-2-1. In addition, Terminal COM shows the terminal which supplies a signal to the counterelectrode.

[0115] In this operation gestalt, as shown in drawing 12 , the digital video-data time amount gradation processing circuit and the counterelectrode drive circuit are really formed on the active-matrix substrate, and the liquid crystal display is formed.

[0116] The digital video-data time amount gradation processing circuit 1001-1-5 changes a 8-bit digital video data into the digital video data for 8-bit electrical-potential-difference gradation among the 10-bit digital video data inputted from the outside. 2-bit gradation information is expressed by time amount gradation among 10-bit digital video datas.

[0117] The 8-bit digital video data changed by the digital video-data time amount gradation processing circuit 1001-5 are inputted into the source driver 1001-1-1 and 1001-1-2, are changed into an analog gradation electrical potential difference by the D/A conversion circuit in a source driver (not shown), and are supplied to each source signal line.

[0118] Here, drawing 13 is referred to. The circuitry of the liquid crystal display of this operation gestalt is shown in drawing 13 in more detail. The source driver 1001-1-1 has the shift register circuit 1001-1-1-1, the latch circuit 1 (1001-1-1-2), the latch circuit 2 (1001-1-1-3), and the D/A conversion circuit (1001-1-1-4). In addition, it has the buffer circuit and the level-shifter circuit (neither is illustrated). Moreover, the level-shifter circuit is included in the expedient top of explanation, and the D/A conversion circuit 1001-1-1-4.

[0119] The source driver 1001-1-2 has the same configuration as the source driver 1001-1-1. In addition, the source driver 1001-1-1 supplies a picture signal (gradation electrical potential difference) to the odd-numbered source signal line, and the source driver 1001-1-2 supplies a picture signal to the even-numbered source signal line.

[0120] In addition, as long as it is possible, you may make it prepare only one source driver on a circuit layout on account of a circuit layout, in the active matrix liquid crystal indicating equipment of this example, although two source drivers 1001-1-1 and 1001-1-2 were prepared so that the upper and lower sides of a active-matrix circuit might be inserted.

[0121] Moreover, 1001-1-3 is a gate driver, and has the shift register circuit, the buffer circuit, the level-shifter circuit, etc. (neither is illustrated).

[0122] The active-matrix circuit 1001-1-4 has the pixel of 1920x1080 (horizontal x length). The configuration of each pixel is the same as that of what was explained with the above-mentioned operation gestalt 1.

[0123] The liquid crystal display of this operation gestalt has the D/A conversion circuit 1001-1-1-4 treating 8-bit digital video data. Moreover, among the 10-bit digital video data supplied from the outside, the information for 2 bits is used in order to perform time amount gradation. In addition, time amount gradation is considered to be the above-mentioned operation gestalt 1 the same way.

[0124] Therefore, the liquid crystal display of this operation gestalt can perform the gradation display of 28-3=253 kind.

[0125] Moreover, about the drive approach of the liquid crystal display of this operation gestalt, any approach of the above-mentioned operation gestalt 1 - the operation gestalt 3 can be used.

[0126] (Operation gestalt 5)

[0127] This operation gestalt explains the example of the production approach of the liquid crystal display of this invention. Here, how to produce to coincidence TFT of a active-matrix circuit and the drive circuit prepared around it is explained.

[0128] [Process: drawing 14 (A) of an island-like semi-conductor layer and gate-dielectric-film formation] In drawing 14 (A), it is desirable to use an alkali-free-glass substrate and a quartz substrate for a substrate 7001. In addition, it is good also considering the thing in which the insulator layer was formed on the front face of a silicon substrate metallurgy group substrate, as a substrate.

[0129] And the substrate film 7002 which consists of the silicon oxide film, a silicon nitride film, or ~~nitriding silicon oxide film was formed in the front face in which TFT of a substrate 7001 is formed by~~ the plasma-CVD method or the sputter at the thickness of 100–400nm. For example, as substrate film 7002, it is good to form a silicon nitride film 7002 with the two-layer structure which made the silicon oxide film 7003 to 50–300nm 25–100nm and here, and was made into the thickness of 150nm here at the thickness of 50nm. The substrate film 7002 is formed in order to prevent the impurity contamination from a substrate, and when a quartz substrate is used, it is not necessary to necessarily prepare it.

[0130] Next, the amorphous silicon film with a thickness of 20–100nm was formed by the well-known forming-membranes method on the substrate film 7002. Although the amorphous silicon film is based also on the amount of content hydrogen, it is desirable to heat at 400–550 degrees C preferably for several hours, to perform dehydrogenation treatment, and to perform the process of crystallization, using the amount of content hydrogen as less than [ 5atom% ]. Moreover, although the amorphous silicon film may be formed by other production approaches, such as a sputter and vacuum deposition, it is desirable to reduce enough impurity elements contained in the film, such as oxygen and nitrogen. Here, since it is possible to form by the forming-membranes method the substrate film and the amorphous silicon film are the same, continuation formation of both may be carried out. After forming the substrate film, by making it not once exposed to an atmospheric-air ambient atmosphere, it can become possible to prevent surface contamination and the property variation of TFT produced can be reduced.

[0131] A well-known laser crystallization technique or the technique of heat crystallization should just be used for the process which forms the crystalline substance silicon film from the amorphous silicon film. Moreover, the crystalline substance silicon film may be produced by the approach of heat crystallization using the catalyst element which promotes crystallization of silicon. In addition, the microcrystal silicon film may be used and direct deposition membrane formation of the crystalline substance silicon film may be carried out. Furthermore, the crystalline substance silicon film may be formed using the well-known technique of SOI (SiliconOn Insulators) which sticks and sets single crystal silicon on a substrate.

[0132] In this way, etching removal of the unnecessary part of the formed crystalline substance silicon film was carried out, and the island-like semi-conductor layers 7004–7006 were formed. In the field to which the n channel mold TFT of the crystalline substance silicon film is produced, in order to control a threshold electrical potential difference, boron (B) may be beforehand added by about [  $1 \times 10^{15}$  to  $5 \times 10^{17} \text{cm}^{-3}$  ] three concentration.

[0133] Next, the island-like semi-conductor layers 7004–7006 were covered, and the gate dielectric film 7007 which uses silicon oxide or silicon nitride as a principal component was formed. What is necessary is just to form preferably 10–200nm of gate dielectric film 7007 in the thickness of 50–150nm. for example, a plasma-CVD method -- N<sub>2</sub> -- 75nm of nitriding silicon oxide film which used O and SiH<sub>4</sub> as the raw material is formed, and it oxidizes thermally at 800–1000 degrees C after that among an oxygen ambient atmosphere or the mixed ambient atmosphere of oxygen and a hydrochloric acid, and is good also as 115nm gate dielectric film. ( Drawing 14 (A) )

[0134] [ -- formation [ of n-field ]: -- drawing 14 (B) ] -- the resist masks 7008–7011 were formed in the whole surface of the field which forms the island-like semi-conductor layers 7004 and 7006 and wiring, and a part of island-like semi-conductor layer 7005 (a channel formation field and the becoming field are included), the impurity element which gives n mold was added and the low concentration impurity range 7012 was formed. the LDD field (by this detail letter, it is called a Lov field.) where this low concentration impurity range 7012 laps with a gate electrode through gate dielectric film at the n channel mold TFT of a CMOS circuit behind In addition, it is the semantics of overlap in ov. It is an

impurity range for forming. In addition, suppose that the concentration of the impurity element which gives n mold contained in the low concentration impurity range formed here is expressed with (n-). Therefore, in this specification, the low concentration impurity range 7012 can be put in another way as n-field.

[0135] Here, Lynn was added by the ion doping method which carried out plasma excitation without ~~carrying out mass separation of the phosphoretted hydrogen (PH<sub>3</sub>).~~ Of course, the ion implantation method for performing mass separation may be used. At this process, Lynn was added in the semi-conductor layer under it through gate dielectric film 7007. As for the Lynn concentration to add, it was desirable to have made it the range of  $5 \times 10^{17}$  -  $5 \times 10^{18}$  atoms/cm<sup>3</sup>, and it made it  $1 \times 10^{18}$  atoms/cm<sup>3</sup> here.

[0136] Then, the resist masks 7008-7011 were removed, 400-900 degrees C of heat treatments of 1 - 12 hours were preferably performed at 550-800 degrees C in nitrogen-gas-atmosphere mind, and the process which activates Lynn added at this process was performed.

[0137] [ -- formation [ of the object for gate electrodes, and the electric conduction film for wiring ]: -- drawing 14 (C)] -- the element or either which was chosen from a tantalum (Ta), titanium (Ti), molybdenum (Mo), and a tungsten (W) in the 1st electric conduction film 7013 was formed in the thickness of 10-100nm with the conductive ingredient used as a principal component. As 1st electric conduction film 7013, it is desirable to use tantalum nitride (TaN) and a nitriding tungsten (WN), for example. Furthermore, the element or either which was chosen from Ta, Ti, Mo, and W in the 2nd electric conduction film 7014 on the 1st electric conduction film 7013 was formed in the thickness of 100-400nm with the conductive ingredient used as a principal component. For example, what is necessary is just to form Ta in the thickness of 200nm. Moreover, although not illustrated, it is effective to form the silicon film in the bottom of the 1st electric conduction film 7013 by the thickness of about 2-20nm for antioxidizing of the electric conduction film 7013 and 7014 (especially electric conduction film 7014).

[0138] [Formation: drawing 15 (A) of formation of a p-ch gate electrode and a wiring electrode, and p+ field] The resist masks 7015-7018 were formed, the 1st electric conduction film and the 2nd electric conduction film (it is hereafter dealt with as a cascade screen) were etched, and the gate electrode 7019 of the p channel mold TFT and the gate wiring 7020 and 7021 were formed. In addition, on the field used as the n channel mold TFT, it left the electric conduction film 7022 and 7023 so that the whole surface might be covered.

[0139] And it left the resist masks 7015-7018 as they were, and considered as the mask, and the process which adds the impurity element which gives p mold to a part of semi-conductor layer 7004 in which the p channel mold TFT is formed was performed. Here, it added by using boron as the impurity element using diboron hexahydride (B-2 H<sub>6</sub>) by the ion doping method (of course, the ion implantation method may be used). Here, boron was added to the concentration of  $5 \times 10^{20}$  -  $3 \times 10^{21}$  atoms/cm<sup>3</sup>. In addition, suppose that the concentration of the impurity element which gives p mold contained in the impurity range formed here is expressed with (p++). Therefore, in this specification, impurity ranges 7024 and 7025 can be put in another way as a p++ field.

[0140] In addition, in this process, after carrying out etching removal of the gate dielectric film 7007 using the resist masks 7015-7018 and exposing a part of island-like semi-conductor layer 7004, the process which adds the impurity element which gives p mold may be performed. In that case, since acceleration voltage is low and ends, there are few damages given to the island-like semi-conductor film, and a throughput also improves.

[0141] [ -- formation [ of a n-ch gate electrode ]: -- drawing 15 (B)] -- next, after removing the resist masks 7015-7018, they formed the resist masks 7026-7029, and formed the gate electrodes 7030 and 7031 of the n channel mold TFT. At this time, the gate electrode 7030 was formed so that it might lap with the n-field 7012 through gate dielectric film.

[0142] [ -- formation [ of n+ field ]: -- drawing 15 (C)] -- next, the resist masks 7026-7029 were

removed and the resist masks 7032-7034 were formed. And in the n channel mold TFT, the process which forms the impurity range which functions as a source field or a drain field was performed. The resist mask 7034 formed the gate electrode 7031 of the n channel mold TFT in the wrap form. This is for forming a LDD field so that it may not lap with a gate electrode in a next process at the n channel mold TFT of a active-matrix circuit.

[0143] ~~And the impurity element which gives n mold was added and impurity ranges 7035-7039 were~~ formed. Here, it carried out by the ion doping method (of course, the ion implantation method may be used) for having used phosphoretted hydrogen (PH<sub>3</sub>), and concentration of Lynn of this field was made into  $1 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup>. In addition, suppose that the concentration of the impurity element which gives n mold contained in the impurity ranges 7037-7039 formed here is expressed with (n<sup>+</sup>). Therefore, in this specification, impurity ranges 7037-7039 can be put in another way as n<sup>+</sup> field. Moreover, since n-field was already formed, impurity ranges 7035 and 7036 include Lynn strictly by concentration [ a little ] higher than impurity ranges 7037-7039.

[0144] In addition, in this process, after etching gate dielectric film 7007 by having used the resist masks 7032-7034 and the gate electrode 7030 as the mask and exposing some island-like semi-conductor film 7005 and 7006, the process which adds the impurity element which gives n mold may be performed. In that case, since acceleration voltage is low and ends, there are few damages given to the island-like semi-conductor film, and a throughput also improves.

[0145] [ -- n -- formation [ of a field ]: -- drawing 16 (A) ] -- next, the resist masks 7032-7034 were removed and the process which adds the impurity element which gives n mold to the island-like semi-conductor layer 7006 used as the n channel mold TFT of a active-matrix circuit was performed. In this way, comparable [ in the formed impurity ranges 7040-7043 / as said n-field ] or Lynn of concentration (specifically  $5 \times 10^{16} - 1 \times 10^{18}$  atoms/cm<sup>3</sup>) fewer than it was added. in addition, the concentration of the impurity element which gives n mold contained in the impurity ranges 7040-7043 formed here -- (-- n --) -- suppose that it expresses. Therefore, in this specification, they are impurity ranges 7040-7043n. -- It can be put in another way as a field. Moreover, although Lynn is added by all impurity ranges by the concentration of n- except for the impurity range 7067 hidden with the gate electrode in this process, since it is very low concentration, it does not ignore and interfere.

[0146] [ -- process [ of thermal activation ]: -- drawing 16 (B) ] -- next, the protection insulator layer 7044 which turns into a part of 1st interlayer insulation film was formed in behind. What is necessary is just to form the protection insulator layer 7044 by the cascade screen which combined a silicon nitride film, the silicon oxide film, the nitriding silicon oxide film, or them. Moreover, thickness is just 100-400nm.

[0147] Then, in order to activate the impurity element which gives n mold or p mold added by each concentration, the heat treatment process was performed. This process can be performed by the furnace annealing method, the laser annealing method, or the rapid thermal annealing method (RTA law). Here, the activation process was performed by the furnace annealing method. Heat-treatment performed preferably 300-650 degrees C of 450 degrees C and heat treatments of 2 hours into nitrogen-gas-atmosphere mind 400-550 degrees C and here.

[0148] Furthermore, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 12 hours was performed at 300-450 degrees C, and the process which hydrogenates an island-like semi-conductor layer was performed. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0149] [Formation: drawing 16 (C) of an interlayer insulation film, the source / drain electrode, a light-shielding film, a pixel electrode, and retention volume] When finishing the activation process, the interlayer insulation film 7045 of 0.5 - 1.5-micrometer thickness was formed on the protection insulator layer 7044. The cascade screen which becomes with said protection insulator layer 7044 and interlayer insulation film 7045 was used as the 1st interlayer insulation film.

[0150] Then, the contact hole which arrives at each source field or drain field of TFT was formed, and



the source electrodes 7046–7048 and the drain electrodes 7049 and 7050 were formed. Although not illustrated, in this example, it is considered as the cascade screen of the three-tiered structure which formed continuously 300nm of aluminum film which contains [ this electrode ] 100nm and Ti for Ti film, and 150nm of Ti film by the sputter.

[0151] Next, it formed as passivation film 7051 by the thickness of 50–500nm (typically 200–300nm) with a silicon nitride film, the silicon oxide film, or the nitriding silicon oxide film. Then, when the hydrogen treating was performed in this condition, the desirable result was obtained to the improvement in a property of TFT. For example, the same effectiveness was acquired, even if it was good to have performed heat treatment of 1 – 12 hours at 300–450 degrees C or it used the plasma hydrogenating method in the ambient atmosphere containing 3 – 100% of hydrogen. In addition, opening may be formed in the passivation film 7051 in the location which forms the contact hole for connecting a pixel electrode and a drain electrode behind here.

[0152] Then, the 2nd interlayer insulation film 7052 which consists of organic resin was formed in the thickness of about 1 micrometer. As organic resin, polyimide, an acrylic, a polyamide, polyimidoamide, BCB (benz-cyclo-butene), etc. can be used. The point for the membrane formation approach that the advantage of using the organic resin film is simple, the point that parasitic capacitance can be reduced since specific inductive capacity is low, the point of excelling in surface smoothness, etc. are got. In addition, the organic resin film except having mentioned above, an organic system SiO compound, etc. can also be used. Here, it calcinated and formed at 300 degrees C after applying to a substrate using the polyimide of the type which carries out thermal polymerization.

[0153] Next, in the field used as a active-matrix circuit, the light-shielding film 7053 was formed on the 2nd interlayer insulation film 7052. The light-shielding film 7053 formed in the thickness of 100–300nm the element or either which was chosen from aluminum (aluminum), titanium (Ti), and a tantalum (Ta) by the film used as a principal component. And the oxide film 7054 with a thickness of 30–150nm (preferably 50–75nm) was formed in the front face of a light-shielding film 7054 by the anode oxidation method or the plasma oxidation method. Here, the aluminum-oxide film (alumina film) was used as an oxide film 7054 using the film which uses the aluminum film or aluminum as a principal component as a light-shielding film 7053.

[0154] In addition, although considered as the configuration which prepares an insulator layer only in a light-shielding film front face here, an insulator layer may be formed by gaseous-phase methods, such as a plasma-CVD method, a heat CVD method, or a sputter. It is desirable that thickness sets to 30–150nm (preferably 50–75nm) also in that case. Moreover, the silicon oxide film, a silicon nitride film, the nitriding silicon oxide film, the DLC (Diamond like carbon) film, or the organic resin film may be used. Furthermore, the cascade screen which combined these may be used.

[0155] Next, the contact hole which reaches the drain electrode 7050 was formed in the 2nd interlayer insulation film 7052, and the pixel electrode 7055 was formed. In addition, the pixel electrodes 7056 and 7057 are pixel electrodes of another pixel which adjoins, respectively. A metal membrane should just be used for the pixel electrodes 7055–7057 when making it into the liquid crystal display of a reflective mold using the transparency electric conduction film, in making it into a transparency mold liquid crystal display. Here, in order to consider as the liquid crystal display of a transparency mold, the indium oxide tin (ITO) film was formed in the thickness of 100nm by the sputter.

[0156] Moreover, the field 7058 with which the pixel electrode 7055 and the light-shielding film 7053 lapped through the oxide film 7054 formed retention volume at this time.

[0157] In this way, on the same substrate, the active-matrix substrate with the CMOS circuit and active-matrix circuit used as a driver line was completed. In addition, the n channel mold TFT7081 and the p channel mold TFT7082 were formed in the CMOS circuit used as a driver line, and the pixel TFT7083 which becomes with the n channel mold TFT was formed in the active-matrix circuit.

[0158] The channel formation field 7061 and the source field 7062, and the drain field 7063 were formed in the p channel mold TFT7081 of a CMOS circuit in p+ field, respectively. Moreover, the LDD field

which lapped with the n channel mold TFT7082 with the gate electrode through the channel formation field 7064, the source field 7065, the drain field 7066, and gate dielectric film (henceforth a Lov field) In addition, it is the mind of overlap in ov. 7067 was formed. At this time, the source field 7065 and the drain field 7066 were formed in the field, respectively (n<sup>-</sup>+n<sup>+</sup>), and the Lov field 7067 was formed in n<sup>-</sup> field.

[0159] Moreover, the LDD field which does not lap with a gate electrode through the channel formation fields 7068 and 7069, the source field 7070, the drain field 7071, and gate dielectric film in a pixel TFT7083 (henceforth a Loff field) In addition, off is the mind of offset. The n<sup>+</sup> field 7076 adjacent to 7072-7075, and the Loff fields 7073 and 7074 was formed. At this time, it is formed in n<sup>+</sup> field, respectively and the source field 7070 and the drain field 7071 are the Loff fields 7072-7075n. -- It was formed in the field.

[0160] According to the production approach of this operation gestalt, the structure of TFT which forms each circuit according to the circuit specification which a active-matrix circuit and a driver line require was able to be optimized, and the engine performance of operation and dependability of a semiconductor device were able to be raised. Specifically, the n channel mold TFT realized TFT structure which thought high-speed operation or the cure against a hot carrier as important on the same substrate, and TFT structure which thought low OFF state current actuation as important by changing arrangement of a LDD field according to a circuit specification, and using a Lov field or a Loff field properly.

[0161] For example, the n channel mold TFT7082 fits logical circuits, such as a shift register circuit which thinks high-speed operation as important, a subharmonics circuit, a signal dividing network, a level-shifter circuit, and a buffer circuit. Moreover, the n channel mold TFT7083 fits the active-matrix circuit and sampling circuit (sample hold circuit) which thought low OFF state current actuation as important.

[0162] Moreover, what is necessary is just to set typically the 0.5-3.0 micrometers (width of face) of the die length of a Lov field to 1.0-1.5 micrometers to 3-7 micrometers of channel length. Moreover, what is necessary is just to set typically to 2.0-2.5 micrometers the 0.5-3.5 micrometers (width of face) of the die length of the Loff fields 7072-7075 established in a pixel TFT7083.

[0163] A active-matrix substrate is completed through the above process.

[0164] Next, the process which produces a liquid crystal display is explained based on the active-matrix substrate produced by the above-mentioned process.

[0165] The orientation film (not shown) is formed in the active-matrix substrate of the condition of drawing 16 (C). Polyimide was used for the orientation film with this operation gestalt. Next, an opposite substrate is prepared. An opposite substrate consists of the counterelectrodes and orientation film (neither is illustrated) which consist of a glass substrate and the transparence electric conduction film.

[0166] In addition, the polyimide film was used for the orientation film with this operation gestalt. In addition, rubbing processing was performed after orientation film formation. In addition, with this operation gestalt, polyimide which has a comparatively big pre chill angle in the orientation film was used.

[0167] Next, the active-matrix substrate and opposite substrate which passed through the above-mentioned process are stuck through a sealant, a spacer (neither is illustrated), etc. according to a well-known cel \*\*\*\* process. Then, liquid crystal is poured in among both substrates and it closes completely with encapsulant (neither is illustrated). The nematic liquid crystal was used for liquid crystal with this operation gestalt.

[0168] Therefore, a liquid crystal display is completed.

[0169] In addition, the amorphous silicon film may be crystallized by laser light (typically excimer laser light) instead of the approach of crystallization of the amorphous silicon film explained with this operation gestalt.

[0170] Moreover, instead of using the polycrystalline silicon film, SOI structures (SOI substrate), such as a smart cut, SIMOX, and El Tran, may be used, and other processes may be performed.

[0171] (Operation gestalt 6)



[0172] This operation gestalt explains the another production approach of the liquid crystal display of this invention. Here, how to produce to coincidence TFT of a active-matrix circuit and the drive circuit prepared around it is explained.

[0173] [Process: drawing 17 (A) of an island-like semi-conductor layer and gate-dielectric-film formation] In drawing 17 (A), it is desirable to use an alkali-free-glass substrate and a quartz substrate for a substrate 6001. In addition, it is good also considering the thing in which the insulator layer was

formed on the front face of a silicon substrate metallurgy group substrate, as a substrate.

[0174] And the substrate film 6002 which consists of the silicon oxide film, a silicon nitride film, or nitriding silicon oxide film was formed in the front face in which TFT of a substrate 6001 is formed by the plasma-CVD method or the spatter at the thickness of 100–400nm. For example, as substrate film 6002, it is good to form a silicon nitride film 6002 with the two-layer structure which made the silicon oxide film 6003 to 50–300nm 25–100nm and here, and was made into the thickness of 150nm here at the thickness of 50nm. The substrate film 6002 is formed in order to prevent the impurity contamination from a substrate, and when a quartz substrate is used, it is not necessary to necessarily prepare it.

[0175] Next, the amorphous silicon film with a thickness of 20–100nm was formed by the well-known forming-membranes method on the substrate film 6002. Although the amorphous silicon film is based also on the amount of content hydrogen, it is desirable to heat at 400–550 degrees C preferably for several hours, to perform dehydrogenation treatment, and to perform the process of crystallization, using the amount of content hydrogen as less than [ 5atom% ]. Moreover, although the amorphous silicon film may be formed by other production approaches, such as a spatter and vacuum deposition, it is desirable to reduce enough impurity elements contained in the film, such as oxygen and nitrogen. Here, since it is possible to form by the forming-membranes method the substrate film and the amorphous silicon film are the same, continuation formation of both may be carried out. After forming the substrate film, by making it not once exposed to an atmospheric-air ambient atmosphere, it can become possible to prevent surface contamination and the property variation of TFT produced can be reduced.

[0176] A well-known laser crystallization technique or the technique of heat crystallization should just be used for the process which forms the crystalline substance silicon film from the amorphous silicon film. Moreover, the crystalline substance silicon film may be produced by the approach of heat crystallization using the catalyst element which promotes crystallization of silicon. In addition, the microcrystal silicon film may be used and direct deposition membrane formation of the crystalline substance silicon film may be carried out. Furthermore, the crystalline substance silicon film may be formed using the well-known technique of SOI (SiliconOn Insulators) which sticks and sets single crystal silicon on a substrate.

[0177] In this way, etching removal of the unnecessary part of the formed crystalline substance silicon film was carried out, and the island-like semi-conductor layers 6004–6006 were formed. In the field to which the n channel mold TFT of the crystalline substance silicon film is produced, in order to control a threshold electrical potential difference, boron (B) may be beforehand added by about [  $1 \times 10^{15}$  to  $5 \times 10^{17} \text{cm}^{-3}$  ] three concentration.

[0178] Next, the island-like semi-conductor layers 6004–6006 were covered, and the gate dielectric film 6007 which uses silicon oxide or silicon nitride as a principal component was formed. What is necessary is just to form preferably 10–200nm of gate dielectric film 6007 in the thickness of 50–150nm. for example, a plasma-CVD method --  $\text{N}_2$  -- 75nm of nitriding silicon oxide film which used O and  $\text{SiH}_4$  as the raw material is formed, and it oxidizes thermally at 800–1000 degrees C after that among an oxygen ambient atmosphere or the mixed ambient atmosphere of oxygen and a hydrochloric acid, and is good also as 115nm gate dielectric film. ( Drawing 17 (A) )

[0179] [ -- formation [ of n-field ]: -- drawing 17 (B) ] -- the resist masks 6008–6011 were formed in the whole surface of the field which forms the island-like semi-conductor layers 6004 and 6006 and wiring, and a part of island-like semi-conductor layer 6005 (a channel formation field and the becoming field are included), the impurity element which gives n mold was added and the low concentration

impurity ranges 6012 and 6013 were formed. the LDD field (by this detail letter, it is called a Lov field.) where these low concentration impurity ranges 6012 and 6013 lap with a gate electrode through gate dielectric film at the n channel mold TFT of a CMOS circuit behind In addition, it is the semantics of overlap in ov. It is an impurity range for forming. In addition, suppose that the concentration of the impurity element which gives n mold contained in the low concentration impurity range formed here is expressed with (n-). Therefore, in this specification, the low concentration impurity ranges 6012 and 6013 can be put in another way as n-field.

[0180] Here, Lynn was added by the ion doping method which carried out plasma excitation without carrying out mass separation of the phosphoretted hydrogen (PH<sub>3</sub>). Of course, the ion implantation method for performing mass separation may be used. At this process, Lynn was added in the semi-conductor layer under it through gate dielectric film 6007. As for the Lynn concentration to add, it was desirable to have made it the range of  $5 \times 10^{17} - 5 \times 10^{18}$  atoms/cm<sup>3</sup>, and it made it  $1 \times 10^{18}$  atoms/cm<sup>3</sup> here.

[0181] Then, the resist masks 6008-6011 were removed, 400-900 degrees C of heat treatments of 1 - 12 hours were preferably performed at 550-800 degrees C in nitrogen-gas-atmosphere mind, and the process which activates Lynn added at this process was performed.

[0182] [ -- formation [ of the object for gate electrodes, and the electric conduction film for wiring ]: -- drawing 17 (C)] -- the element or either which was chosen from a tantalum (Ta), titanium (Ti), molybdenum (Mo), and a tungsten (W) in the 1st electric conduction film 6014 was formed in the thickness of 10-100nm with the conductive ingredient used as a principal component. As 1st electric conduction film 6014, it is desirable to use tantalum nitride (TaN) and a nitriding tungsten (WN), for example. Furthermore, the element or either which was chosen from Ta, Ti, Mo, and W in the 2nd electric conduction film 6015 on the 1st electric conduction film 6014 was formed in the thickness of 100-400nm with the conductive ingredient used as a principal component. For example, what is necessary is just to form Ta in the thickness of 200nm. Moreover, although not illustrated, it is effective to form the silicon film in the bottom of the 1st electric conduction film 6014 by the thickness of about 2-20nm for antioxidizing of the electric conduction film 6014 and 6015 (especially electric conduction film 6015).

[0183] [Formation: drawing 18 (A) of formation of a p-ch gate electrode and a wiring electrode, and p+ field] The resist masks 6016-6019 were formed, the 1st electric conduction film and the 2nd electric conduction film (it is hereafter dealt with as a cascade screen) were etched, and the gate electrode 6020 of the p channel mold TFT and the gate wiring 6021 and 6022 were formed. In addition, on the field used as the n channel mold TFT, it left the electric conduction film 6023 and 6024 so that the whole surface might be covered.

[0184] And it left the resist masks 6016-6019 as they were, and considered as the mask, and the process which adds the impurity element which gives p mold to a part of semi-conductor layer 6004 in which the p channel mold TFT is formed was performed. Here, it added by using boron as the impurity element using diboron hexahydride (B-2 H<sub>6</sub>) by the ion doping method (of course, the ion implantation method may be used). Here, boron was added to the concentration of  $5 \times 10^{20} - 3 \times 10^{21}$  atoms/cm<sup>3</sup>. In addition, suppose that the concentration of the impurity element which gives p mold contained in the impurity range formed here is expressed with (p++). Therefore, in this specification, impurity ranges 6025 and 6026 can be put in another way as a p++ field.

[0185] In addition, in this process, after carrying out etching removal of the gate dielectric film 6007 using the resist masks 6016-6019 and exposing a part of island-like semi-conductor layer 6004, the process which adds the impurity element which gives p mold may be performed. In that case, since acceleration voltage is low and ends, there are few damages given to the island-like semi-conductor film, and a throughput also improves.

[0186] [ -- formation [ of a n-ch gate electrode ]: -- drawing 18 (B)] -- next, after removing the resist masks 6016-6019, they formed the resist masks 6027-6030, and formed the gate electrodes 6031 and

6032 of the n channel mold TFT. At this time, the gate electrode 6031 was formed so that it might lap with the n-fields 6012 and 6013 through gate dielectric film.

[0187] [ -- formation [ of n+ field ]: -- drawing 18 (C)] -- next, the resist masks 6027-6030 were removed and the resist masks 6033-6035 were formed. And in the n channel mold TFT, the process which forms the impurity range which functions as a source field or a drain field was performed. The resist mask 6035 formed the gate electrode 6032 of the n channel mold TFT in the wrap form. This is for forming a LDD field so that it may not lap with a gate electrode in a next process at the n channel mold TFT of a active-matrix circuit.

[0188] And the impurity element which gives n mold was added and impurity ranges 6036-6040 were formed. Here, it carried out by the ion doping method (of course, the ion implantation method may be used) for having used phosphoretted hydrogen (PH<sub>3</sub>), and concentration of Lynn of this field was made into  $1 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup>. In addition, suppose that the concentration of the impurity element which gives n mold contained in the impurity ranges 6038-6040 formed here is expressed with (n+). Therefore, in this specification, impurity ranges 6038-6040 can be put in another way as n+ field. Moreover, since n-field was already formed, impurity ranges 6036 and 6037 include Lynn strictly by concentration [ a little ] higher than impurity ranges 6038-6040.

[0189] In addition, in this process, after etching gate dielectric film 6007 by having used the resist masks 6033-6035 and the gate electrode 6031 as the mask and exposing some island-like semi-conductor film 6005 and 6006, the process which adds the impurity element which gives n mold may be performed. In that case, since acceleration voltage is low and ends, there are few damages given to the island-like semi-conductor film, and a throughput also improves.

[0190] [ -- n -- formation [ of a field ]: -- drawing 19 (A)] -- next, the resist masks 6033-6035 were removed and the process which adds the impurity element which gives n mold to the island-like semi-conductor layer 6006 used as the n channel mold TFT of a active-matrix circuit was performed. In this way, comparable [ in the formed impurity ranges 6041-6044 / as said n-field ] or Lynn of concentration (specifically  $5 \times 10^{16} - 1 \times 10^{18}$  atoms/cm<sup>3</sup>) fewer than it was added. in addition, the concentration of the impurity element which gives n mold contained in the impurity ranges 6041-6044 formed here -- (-- n --) -- suppose that it expresses. Therefore, in this specification, they are impurity ranges 6041-6044n. -- It can be put in another way as a field. Moreover, although Lynn is added by all impurity ranges by the concentration of n- except for the impurity range 6068 hidden with the gate electrode in this process, since it is very low concentration, it does not ignore and interfere.

[0191] [ -- process [ of thermal activation ]: -- drawing 19 (B)] -- next, the protection insulator layer 6045 which turns into a part of 1st interlayer insulation film was formed in behind. What is necessary is just to form the protection insulator layer 6045 by the cascade screen which combined a silicon nitride film, the silicon oxide film, the nitriding silicon oxide film, or them. Moreover, thickness is just 100-400nm.

[0192] Then, in order to activate the impurity element which gives n mold or p mold added by each concentration, the heat treatment process was performed. This process can be performed by the furnace annealing method, the laser annealing method, or the rapid thermal annealing method (RTA law). Here, the activation process was performed by the furnace annealing method. Heat-treatment performed preferably 300-650 degrees C of 450 degrees C and heat treatments of 2 hours into nitrogen-gas-atmosphere mind 400-550 degrees C and here.

[0193] Furthermore, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 12 hours was performed at 300-450 degrees C, and the process which hydrogenates an island-like semi-conductor layer was performed. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0194] [Formation: drawing 19 (C) of an interlayer insulation film, the source / drain electrode, a light-shielding film, a pixel electrode, and retention volume] When finishing the activation process, the interlayer insulation film 6046 of 0.5 - 1.5-micrometer thickness was formed on the protection insulator

layer 6045. The cascade screen which becomes with said protection insulator layer 6045 and interlayer insulation film 6046 was used as the 1st interlayer insulation film.

[0195] Then, the contact hole which arrives at each source field or drain field of TFT was formed, and the source electrodes 6047-6049 and the drain electrodes 6050 and 6051 were formed. Although not illustrated, in this example, it considered as the cascade screen of the three-tiered structure which formed continuously 300nm of aluminum film which contains [this electrode] 100nm and Ti for Ti film, and 150nm of Ti film by the spatter.

[0196] Next, it formed as passivation film 6052 by the thickness of 50-500nm (typically 200-300nm) with a silicon nitride film, the silicon oxide film, or the nitriding silicon oxide film. Then, when the hydrogen treating was performed in this condition, the desirable result was obtained to the improvement in a property of TFT. For example, the same effectiveness was acquired, even if it was good to have performed heat treatment of 1 - 12 hours at 300-450 degrees C or it used the plasma hydrogenating method in the ambient atmosphere containing 3 - 100% of hydrogen. In addition, opening may be formed in the passivation film 6052 in the location which forms the contact hole for connecting a pixel electrode and a drain electrode behind here.

[0197] Then, the 2nd interlayer insulation film 6053 which consists of organic resin was formed in the thickness of about 1 micrometer. As organic resin, polyimide, an acrylic, a polyamide, polyimidoamide, BCB (benz-cyclo-butene), etc. can be used. The point for the membrane formation approach that the advantage of using the organic resin film is simple, the point that parasitic capacitance can be reduced since specific inductive capacity is low, the point of excelling in surface smoothness, etc. are got. In addition, the organic resin film except having mentioned above, an organic system SiO compound, etc. can also be used. Here, it calcinated and formed at 300 degrees C after applying to a substrate using the polyimide of the type which carries out thermal polymerization.

[0198] Next, in the field used as a active-matrix circuit, the light-shielding film 6054 was formed on the 2nd interlayer insulation film 6053. The light-shielding film 6054 formed in the thickness of 100-300nm the element or either which was chosen from aluminum (aluminum), titanium (Ti), and a tantalum (Ta) by the film used as a principal component. And the oxide film 6055 with a thickness of 30-150nm (preferably 50-75nm) was formed in the front face of a light-shielding film 6055 by the anode oxidation method or the plasma oxidation method. Here, the aluminum-oxide film (alumina film) was used as an oxide film 6055 using the film which uses the aluminum film or aluminum as a principal component as a light-shielding film 6055.

[0199] In addition, although considered as the configuration which prepares an insulator layer only in a light-shielding film front face here, an insulator layer may be formed by gaseous-phase methods, such as a plasma-CVD method, a heat CVD method, or a spatter. It is desirable that thickness sets to 30-150nm (preferably 50-75nm) also in that case. Moreover, the silicon oxide film, a silicon nitride film, the nitriding silicon oxide film, the DLC (Diamond like carbon) film, or the organic resin film may be used. Furthermore, the cascade screen which combined these may be used.

[0200] Next, the contact hole which reaches the drain electrode 6051 was formed in the 2nd interlayer insulation film 6055, and the pixel electrode 6056 was formed. In addition, the pixel electrodes 6057 and 6058 are pixel electrodes of another pixel which adjoins, respectively. A metal membrane should just be used for the pixel electrodes 6056-6058 when making it into the liquid crystal display of a reflective mold using the transparence electric conduction film, in making it into a transparency mold liquid crystal display. Here, in order to consider as the liquid crystal display of a transparency mold, the indium oxide tin (ITO) film was formed in the thickness of 100nm by the spatter.

[0201] Moreover, the field 6059 with which the pixel electrode 6056 and the light-shielding film 6054 lapped through the oxide film 6055 formed retention volume at this time.

[0202] In this way, on the same substrate, the active-matrix substrate with the CMOS circuit and active-matrix circuit used as a driver line was completed. In addition, the n channel mold TFT6081 and the p channel mold TFT6082 were formed in the CMOS circuit used as a driver line, and the pixel

TFT6083 which becomes with the n channel mold TFT was formed in the active-matrix circuit.

[0203] The channel formation field 6062, the source field 6063, and the drain field 6064 were formed in the p channel mold TFT6081 of a CMOS circuit in p+ field, respectively. Moreover, the LDD field which lapped with the n channel mold TFT6082 with the gate electrode through the channel formation field 6065, the source field 6066, the drain field 6067, and gate dielectric film (henceforth a Lov field) In addition, it is the mind of overlap in ov. 6068 was formed. At this time, the source field 6066 and the drain field 6067 were formed in the field, respectively (n+n+), and the Lov field 6068 was formed in n- field.

[0204] Moreover, the LDD field which does not lap with a gate electrode through the channel formation fields 6069 and 6070, the source field 6071, the drain field 6072, and gate dielectric film in a pixel TFT6084 (henceforth a Loff field) In addition, off is the mind of offset. The n+ field 6077 adjacent to 6073-6076, and the Loff fields 6074 and 6075 was formed. At this time, it is formed in n+ field, respectively and the source field 6071 and the drain field 6072 are the Loff fields 6073-6076n. -- It was formed in the field.

[0205] According to the production approach of this operation gestalt, the structure of TFT which forms each circuit according to the circuit specification which a active-matrix circuit and a driver line require can be optimized, and the engine performance of operation and dependability of a semiconductor device can be raised. Specifically, the n channel mold TFT realizes TFT structure which thought high-speed operation or the cure against a hot carrier as important on the same substrate, and TFT structure which thought low OFF state current actuation as important by changing arrangement of a LDD field according to a circuit specification, and using a Lov field or a Loff field properly.

[0206] For example, in the case of the active matrix liquid crystal indicating equipment, the n channel mold TFT6082 fits logical circuits, such as a shift register circuit which thinks high-speed operation as important, a subharmonics circuit, a signal dividing network, a level-shifter circuit, and a buffer circuit. Moreover, the n channel mold TFT6083 fits the active-matrix circuit and sampling circuit (sample hold circuit) which thought low OFF state current actuation as important.

[0207] Moreover, what is necessary is just to set typically the 0.5-3.0 micrometers (width of face) of the die length of a Lov field to 1.0-1.5 micrometers to 3-7 micrometers of channel length. Moreover, what is necessary is just to set typically to 2.0-2.5 micrometers the 0.5-3.5 micrometers (width of face) of the die length of the Loff fields 6073-6076 established in a pixel TFT6083.

[0208] A liquid crystal display is produced based on the active-matrix substrate produced by the above process. Please refer to the operation gestalt 5 about the example of a making process.

[0209] (Operation gestalt 7)

[0210] Drawing 20 is the example of another configuration of the active-matrix substrate of the liquid crystal display of this invention. For 8001, as for the n channel mold TFT and 8003, the p channel mold TFT and 8002 are [ the n channel mold TFT and 8004 ] the n channel molds TFT. 8001, 8002, and 8003 constitute the circuit section of a driver, and 8004 constitutes the active-matrix circuit section.

[0211] 8005-8013 are the semi-conductor layers of the pixel TFT which constitutes a active-matrix circuit. For 8012, 8005, 8009, and 8013 are n+ field, and 8006, 8008, 8010 andn. -- A field, and 8007 and 8011 are channel formation fields. 8014 is the cap layer of an insulator layer, and it is prepared in order to form the offset section in a channel formation field.

[0212] In addition, about this operation gestalt, Japanese Patent Application No. No. 67809 [ 11 to ] which is these people's patent application can be referred to.

[0213] (Operation gestalt 8)

[0214] The liquid crystal display of above-mentioned this invention can be used for the projector of 3 plate type as shown in drawing 21 .

[0215] As for a total reflection mirror, and 2408-2410, for the source of the white light, and 2402-2405, in drawing 21 , a dichroic mirror, 2406, and 2407 are [ 2401 / the liquid crystal display of this invention and 2411 ] projection lenses.

[0216] (Operation gestalt 9)

[0217] Moreover, the liquid crystal display of above-mentioned this invention can also be used for the projector of 3 plate type as shown in drawing 2222.

[0218] For a dichroic mirror, and 2504-2506, as for the liquid crystal display of this invention, and 2510, in drawing 23, a total reflection mirror, and 2507-2509 are [ 2501 / the source of the white light, 2502, and 2503 / a dichroic prism and 2511 ] projection lenses.

[0219] (Operation gestalt 10)

[0220] Moreover, the liquid crystal display of above-mentioned this invention can also be used for the projector of a veneer type as shown in drawing 2323.

[0221] In drawing 23, 2601 is a source of the white light which consists of a lamp and a reflector. 2602, 2603, and 2604 are dichroic mirrors, and reflect the light of blue, red, and a green wavelength field alternatively, respectively. 2605 is a micro-lens array and is constituted by two or more micro lenses. 2606 is the liquid crystal display of this invention. As for a field lens and 2608, 2607 is [ a projection lens and 2609 ] screens.

[0222] (Operation gestalt 11)

[0223] The projector of the above-mentioned operation gestalten 8-10 has a rear projector and a front projector by the projection approach.

[0224] Drawing 24 (A) is a front mold projector, and consists of a body 10001, the liquid crystal display 10002 of this invention, the light source 10003, optical system 10004, and a screen 10005. in addition -- although the front projector incorporating one liquid crystal display is shown in drawing 24 (A) -- a liquid crystal display -- three pieces (it is made to correspond to the light of R, G, and B, respectively) -- constructing -- \*\*\*\* -- high resolution and a high definition front mold projector are more realizable with things.

[0225] 10008 is the light source, drawing 24 (B) is a rear mold projector, 10006 is a body, 10007 is a liquid crystal display, and 10010 is [ 10009 is a reflector and ] a screen. In addition, the rear mold projector incorporating three active-matrix mold semi-conductor indicating equipments (it is made to correspond to the light of R, G, and B, respectively) is shown in drawing 24 (B).

[0226] (Operation gestalt 12)

[0227] This operation gestalt shows the example which used the liquid crystal display of this invention for the goggles mold display.

[0228] Drawing 25 is referred to. 2801 is a body of a goggles mold display. 2802-R and 2802-L are the liquid crystal displays of this invention, 2803-R and 2803-L are LED back lights, and 2804-R and 2804-L are optical elements.

[0229] (Operation gestalt 13)

[0230] In this operation gestalt, LED is used for the back light of the liquid crystal display of this invention, and a field sequential drive is performed.

[0231] the start signal (Vsync signal) of the picture signal writing to the timing chart of the field sequential drive approach shown in drawing 26, and red (R) -- green -- (G), the lighting timing signal (R, G, and B) of blue (B) LED, and the video signal (VIDEO) are shown. Tf is a frame period. Moreover, TR, TG, and TB are red (R), green (G), and a blue (B) LED lighting period, respectively.

[0232] The picture signal supplied to a liquid crystal display, R1 [ for example, ], is a signal with which the video data of the origin corresponding to the red inputted from the outside was compressed into one third in the direction of a time-axis. Moreover, the picture signal supplied to a liquid crystal panel, G1 [ for example, ], is a signal with which the video data of the origin which is inputted from the outside, and which corresponds green was compressed into one third in the direction of a time-axis. Moreover, the picture signal supplied to a liquid crystal panel, B1 [ for example, ], is a signal with which the video data of the origin corresponding to the blue inputted from the outside was compressed into one third in the direction of a time-axis.

[0233] In the field sequential drive approach, LED of R, G, and B lights up in order at an LED lighting

period TR period, TG period, and TB period, respectively. The video signal (R1) corresponding to red is supplied to a liquid crystal panel at the lighting period (TR) of red LED, and a part for image 1 red screen is written in a liquid crystal panel. Moreover, the video data (G1) which corresponded green is supplied to a liquid crystal panel, and a part for image 1 green screen is written in a liquid crystal panel at the green lighting period (TG) of LED. Moreover, the video data (B1) corresponding to blue is supplied to a liquid crystal display at the lighting period (TB) of blue LED, and a part for image 1 blue screen is written in a liquid crystal display. One frame is formed of these three writing of an image.

[0234] (Operation gestalt 14)

[0235] In this operation gestalt, the example which used the liquid crystal display of this invention for the notebook mold personal computer is shown in drawing 27.

[0236] 3001 is a body of a notebook mold personal computer, and 3002 is the liquid crystal display of this invention. Moreover, LED is used for the back light. In addition, a cathode-ray tube may be used for a back light like before.

[0237] (Operation gestalt 15)

[0238] Applications various otherwise are shown in the liquid crystal display of this invention. This operation gestalt explains the semiconductor device incorporating the liquid crystal display of this invention.

[0239] A video camera, a still camera, car navigation, a personal computer, Personal Digital Assistants (a mobile computer, cellular phone, etc.), etc. are mentioned to such a semiconductor device. Those examples are shown in drawing 28.

[0240] Drawing 28 (A) is a cellular phone and consists of a body 11001, the voice output section 11002, the voice input section 11003, a liquid crystal display 11004 of this invention, an actuation switch 11005, and an antenna 11006.

[0241] Drawing 28 (B) is a video camera and consists of a body 12001, the liquid crystal display 12002 of this invention, the voice input section 12003, an actuation switch 12004, a dc-battery 12005, and the television section 12006.

[0242] Drawing 28 (C) is a mobile computer and consists of a body 13001, the camera section 13002, the television section 13003, an actuation switch 13004, and a liquid crystal display 13017 of this invention.

[0243] Drawing 28 (D) is pocket books (digital book), and consists of a body 14001, the liquid crystal displays 14002 and 14003 of this invention, a storage 14004, an actuation switch 14005, and an antenna 14006.

[0244] Drawing 29 (A) is a personal computer and contains a body 15001, the image input section 15002, a display 15003, and keyboard 15004 grade. This invention is applicable to the signal-control circuit of the image input section 15002, a display 15003, or others.

[0245] Drawing 29 (B) is a player using the record medium (it is hereafter called a record medium) which recorded the program, and contains a body 16001, a display 16002, the loudspeaker section 16003, a record medium 16004, and actuation switch 16005 grade. In addition, this player can use music appreciation, movie appreciation, a game, and the Internet, using DVD (Digital Versatile Disc), CD, etc. as a record medium. This invention is applicable to the signal-control circuit of a display 16002 or others.

[0246] Drawing 29 (C) is a digital camera and contains a body 17001, a display 17002, an eye contacting part 17003, the actuation switch 17004, the television section (not shown), etc. The invention in this application is applicable to the signal-control circuit of a display 17002 or others.

[0247] Drawing 29 (D) is a display and contains a body 18001, susceptor 18002, and display 18003 grade. This invention is applicable to a display 18003. Especially the display of this invention is advantageous when it big-screen-izes, and it is advantageous to the display of 10 inches or more (especially 30 inches or more) of vertical angles.

[Effect of the Invention]

[0248] According to the liquid crystal display of this invention, the small active matrix liquid crystal



display which can realize high-resolution[ big-screen-izing, highly-minute-izing, and ]-izing and many gradation-ization is realized.

[0249]

---

[Translation done.]

---

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram of the liquid crystal display of this invention.

[Drawing 2] It is the outline block diagram of the liquid crystal panel of this invention.

[Drawing 3] It is the outline block diagram of the liquid crystal panel of this invention.

[Drawing 4] It is the outline block diagram of the liquid crystal display of this invention.

[Drawing 5] It is the circuitry Fig. of the active-matrix circuit of an operation gestalt with the liquid crystal display of this invention, a source driver, and a gate driver.

[Drawing 6] It is drawing showing the gradation display level of an operation gestalt with the liquid crystal display of this invention.

[Drawing 7] It is drawing showing the drive timing chart of an operation gestalt with the liquid crystal display of this invention.

[Drawing 8] It is drawing showing the drive timing chart of an operation gestalt with the liquid crystal display of this invention.

[Drawing 9] It is drawing showing the drive timing chart of an operation gestalt with the liquid crystal display of this invention.

[Drawing 10] It is drawing showing the drive timing chart of an operation gestalt with the liquid crystal display of this invention.

[Drawing 11] It is drawing showing the drive timing chart of an operation gestalt with the liquid crystal display of this invention.

[Drawing 12] It is the outline block diagram of an operation gestalt with the liquid crystal display of this invention.

[Drawing 13] It is the circuitry Fig. of the active-matrix circuit of an operation gestalt with the liquid crystal display of this invention, a source driver, and a gate driver.

[Drawing 14] It is drawing showing the example of a making process of the liquid crystal display of this invention.

[Drawing 15] It is drawing showing the example of a making process of the liquid crystal display of this invention.

[Drawing 16] It is drawing showing the example of a making process of the liquid crystal display of this invention.

[Drawing 17] It is drawing showing the example of a making process of the liquid crystal display of this



invention.

[Drawing 18] It is drawing showing the example of a making process of the liquid crystal display of this invention.

[Drawing 19] It is drawing showing the example of a making process of the liquid crystal display of this invention.

[Drawing 20] It is the sectional view of the liquid crystal display of this invention.

---

[Drawing 21] It is the outline block diagram of 3 plate type projector using the liquid crystal display of this invention.

[Drawing 22] It is the outline block diagram of 3 plate type projector using the liquid crystal display of this invention.

[Drawing 23] It is the outline block diagram of a veneer type projector using the liquid crystal display of this invention.

[Drawing 24] It is the outline block diagram of the front projector using the liquid crystal display of this invention, and a rear projector.

[Drawing 25] It is the outline block diagram of the goggles mold display using the liquid crystal display of this invention.

[Drawing 26] It is the timing chart of a field sequential drive.

[Drawing 27] It is the outline block diagram of the notebook mold personal computer using the liquid crystal display of this invention.

[Drawing 28] It is the example of the electronic equipment using the liquid crystal display of this invention.

[Drawing 29] It is the example of the electronic equipment using the liquid crystal display of this invention.

[Drawing 30] It is the outline block diagram of the liquid crystal display of this invention.

[Description of Notations]

101 Liquid Crystal Panel

101-1 Active-Matrix Substrate

101-1-1 Source Driver

101-1-2 Gate Driver

101-1-3 Gate Driver

101-1-4 Active-Matrix Circuit

101-2 Opposite Substrate

101-2-1 Counterelectrode

102 Digital Video-Data Time Amount Gradation Processing Circuit

103 Counterelectrode Control Circuit

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-347634

(P2000-347634A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-コ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 8 8
G 0 2 F 1/13	5 0 5	G 0 2 F 1/13	5 0 5 2 H 0 9 3
	5 7 5	1/133	5 7 5 5 C 0 0 6
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 F 5 C 0 8 0
	6 4 1		6 4 1 S
審査請求 未請求 請求項の数14 O L (全 32 頁)			

(21) 出願番号 特願2000-81306(P2000-81306)

(22) 出願日 平成12年3月23日 (2000. 3. 23)

(31) 優先権主張番号 特願平11-84663

(32) 優先日 平成11年3月26日 (1999. 3. 26)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

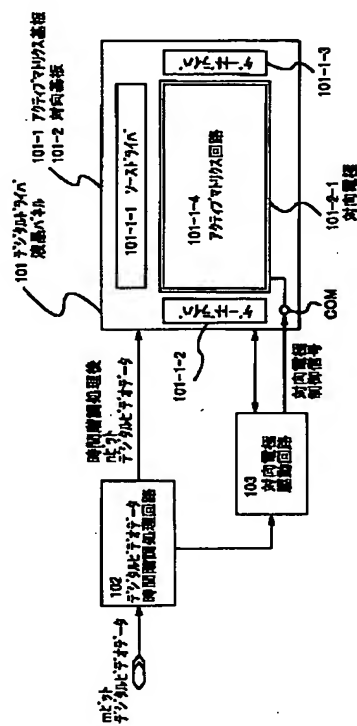
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 大画面化、高精細化、高解像度化および多階調化を実現できるアクティブマトリクス型液晶表示装置を提供すること。

【解決手段】 本発明によると、OCBモードで表示を行う液晶表示装置において、時間階調と電圧階調とを組み合わせることで階調表示を行う。その際に、1フレームを時間階調のビット数に応じてサブフレームに分割し、サブフレームの表示を行う時に、液晶にイニシャライズ電圧を印加する。



(2)

## 【特許請求の範囲】

【請求項1】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、を有する液晶表示装置であって、

OCBモードによって表示を行い、外部から入力される $m$ ビットデジタルビデオデータのうち、 $n$ ビットを電圧階調の情報として、かつ $(m-n)$ ビットを時間階調の情報として $(m, n$ は共に2以上の正数、かつ $m>n)$ 用いることによって、電圧階調と時間階調とを同時に行うことを特徴とする液晶表示装置。

【請求項2】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、を有する液晶表示装置であって、

OCBモードによって表示を行い、外部から入力される $m$ ビットデジタルビデオデータのうち、 $n$ ビットを電圧階調の情報として、かつ $(m-n)$ ビットを時間階調の情報として $(m, n$ は共に2以上の正数、かつ $m>n)$ 用いることによって、電圧階調および時間階調を、それぞれ前、後、または相前後して行うことを特徴とする液晶表示装置。

【請求項3】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と $(m, n$ は共に2以上の正数、 $m>n)$ 、を有する液晶表示装置であって、

電圧階調と時間階調とを同時に行い、 $2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって表示を行い、

前記 $2^{m-n}$ 個のサブフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置。

【請求項4】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、

外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回

路と $(m, n$ は共に2以上の正数、 $m>n)$ 、を有する液晶表示装置であって、電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、

前記 $2^{m-n}$ 個のサブフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置。

【請求項5】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、

外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と $(m, n$ は共に2以上の正数、 $m>n)$ 、を有する液晶表示装置であって、

電圧階調と時間階調とを同時に行い、 $2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって表示を行い、

前記 $2^{m-n}$ 個のサブフレームによって構成されるフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置。

【請求項6】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、

外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と $(m, n$ は共に2以上の正数、 $m>n)$ 、を有する液晶表示装置であって、

電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、

前記 $2^{m-n}$ 個のサブフレームによって構成されるフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置。

【請求項7】前記 $m$ は10、前記 $n$ は2であることを特徴とする請求項1乃至6のいずれかに記載の液晶表示装置。

【請求項8】前記 $m$ は12、前記 $n$ は4であることを特徴とする請求項1乃至6のいずれかに記載の液晶表示装置。

【請求項9】請求項1乃至8のいずれかに記載の液晶表示装置を3個有するリアプロジェクター。

【請求項10】請求項1乃至8のいずれかに記載の液晶表示装置を3個有するフロントプロジェクター。

【請求項11】請求項1乃至8のいずれかに記載の液晶表示装置を1個有する単板式リアプロジェクター。

(3)

3

【請求項12】請求項1乃至8のいずれかに記載の液晶表示装置を2個有するゴーグル型ディスプレイ。

【請求項13】請求項1乃至8のいずれかに記載の液晶表示装置を有する携帯情報端末。

【請求項14】請求項1乃至8のいずれかに記載の液晶表示装置を有するノートブック型パーソナルコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】本発明は、液晶表示装置に関する。特に、電圧階調と時間階調との両方によって階調表示を行う液晶表示装置に関する。

【0003】

【従来の技術】

【0004】最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

【0005】アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれ画素TFTが配置され、各画素TFTに接続された画素電極に出入りする電荷を画素TFTのスイッチング機能により制御するものである。

【0006】近年、画像の高精細化、高解像度化とともに、望ましくはフルカラー表示が行える多階調表示が求められている。

【0007】また、アクティブマトリクス型液晶表示装置の中でも、表示装置の高精細化、高解像度化に伴い、高速駆動が可能なデジタル駆動方式のアクティブマトリクス型液晶表示装置が注目されてきている。

【0008】

【発明が解決しようとする課題】

【0009】デジタル駆動方式のアクティブマトリクス型液晶表示装置には、外部から入力されるデジタルビデオデータをアナログデータ(階調電圧)に変換するD/A変換回路(DAC)が必要である。D/A変換回路には、様々な種類のものが存在する。

【0010】デジタル駆動方式のアクティブマトリクス型液晶表示装置の多階調表示能力は、このD/A変換回路の能力、つまりD/A変換回路が何ビットのデジタルビデオデータをアナログデータに変換することができるかに依存している。例えば、一般的に、2ビットのデジタルビデオデータを処理するD/A変換回路を有する液晶表示装置であれば、 $2^2=4$ 階調表示を行うことができ、8ビットならば $2^8=256$ 階調表示を行うことができ、またnビットならば $2^n$ 階調表示を行うことができる。

【0011】しかし、D/A変換回路の能力を上げるた

4

めには、D/A変換回路の回路構成が複雑になり、かつレイアウト面積が大きくなる。最近では、D/A変換回路をアクティブマトリクス回路と同一基板上にポリシリコンTFTによって形成する液晶表示装置が報告されてきている。しかし、この場合、D/A変換回路の回路構成が複雑になると、D/A変換回路の歩留まりが低下し、液晶表示装置の歩留まりも低下してしまう。また、D/A変換回路のレイアウト面積が大きくなると、小型の液晶表示装置を実現することが困難になる。

10 【0012】また、アクティブマトリクス型液晶表示装置の大画面化、高精細化、高解像度化に伴い、1画素に画像データを書き込む時間が短くなり、従来よく用いられているネマチック液晶を用いたTNモード(ツイストネマチックモード)では、液晶分子の応答速度が問題となってきた。

【0013】上述のように、大画面化、高精細化、高解像度化および多階調化を実現できるアクティブマトリクス型液晶表示装置の実現が望まれている。

【0014】

20 【課題を解決するための手段】

【0015】そこで、本発明は上述の問題に鑑みてなされたものであり、大画面化、高精細化、高解像度化、多階調化を実現することのできる液晶表示装置を提供するものである。

【0016】まず、図1を参照する。図1には、本発明の液晶表示装置の概略構成図が示されている。101はデジタルドライバを有する液晶パネルである。液晶パネル101は、アクティブマトリクス基板101-1および対向基板101-2を有している。アクティブマトリクス基板101-1には、ソースドライバ101-1-1、ゲートドライバ101-1-2および101-1-3、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路101-1-4を有している。ソースドライバ101-1-1およびゲートドライバ101-1-1-2ならびに101-1-3は、アクティブマトリクス回路101-1-4を駆動する。また、対向基板101-2は、対向電極101-2-1を有している。なお、端子COMは、対向電極に信号を供給する端子を示している。

40 【0017】102はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路102は、外部から入力されるmビットデジタルビデオデータのうちnビットのデジタルビデオデータを、nビットの電圧階調の為のデジタルビデオデータに変換する。mビットのデジタルビデオデータのうち(m-n)ビットの階調情報は、時間階調によって表現される。

【0018】デジタルビデオデータ時間階調処理回路102によって変換されたnビットデジタルビデオデータは、液晶パネル101に入力される。液晶パネル101に入力されたnビットデジタルビデオデータは、ソース

50

(4)

5

ドライバ101-1-1に入力され、ソースドライバ内のD/A変換回路でアナログ階調データに変換され、各ソース信号線に供給され、画素TF Tに供給される。

【0019】103は、対向電極駆動回路であり、対向電極の電位を制御する対向電極制御信号を液晶パネル101の対向電極101-2-1に供給する。

【0020】なお、本明細書においては、液晶表示装置と液晶パネルとを使い分けている。本明細書では、少なくともアクティブマトリクス回路を有するものを液晶パネルと呼ぶことにする。

【0021】ここで、本発明の液晶表示装置の液晶パネルの概略構成図について説明する、図2および図3を参照する。図2および図3には、液晶パネル101を構成するアクティブマトリクス基板101-1、対向基板、および液晶101-3が示されている。本発明に用いられる液晶パネルは、いわゆる $\pi$ セル構造を有しており、OCB (Optically Compensated Bend) モードという表示モードを用いている。 $\pi$ セル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面  
20 対称の関係で配向された構造である。 $\pi$ セル構造の配向状態は、基板間に電圧が印加されていない時はスプレイ配向となり、電圧を印加すると図2に示すようなベンド配向に移行する。さらに電圧を印加するとベンド配向の液晶分子が両基板が基板と垂直に配向し、光が透過する状態となる。

【0022】図2に示すように、本発明の液晶表示装置は、液晶がベンド配向した液晶パネルと2軸性位相差板111と透過軸が互いに直行した一対の偏光板とを有している。OCBモードによる表示においては、リタデーションの視角依存性を、2軸性位相差板によって3次元  
的に補償している。

【0023】なお、上述の様に、液晶に電圧を印加しない時には、図3に示すようなスプレイ配向をしている。

【0024】なお、OCBモードによると、従来のTNモードより約10倍速い高速応答性を現できる。

【0025】次に、本発明の液晶表示装置の別の例を図30に示す。301はアナログドライバを有する液晶パネルである。液晶表示装置301は、アクティブマトリクス基板301-1および対向基板301-2を有している。アクティブマトリクス基板301-1には、ソースドライバ301-1-1、ゲートドライバ301-1-2および301-1-3、複数の画素TF Tがマトリクス状に配置されたアクティブマトリクス回路301-1-4を有している。ソースドライバ301-1-1およびゲートドライバ301-1-2ならびに301-1-3は、アクティブマトリクス回路301-1-4を駆動する。また、対向基板301-2は、対向電極301-2-1を有している。なお、端子COMは、対向電極に信号を供給する端子を示している。

6

【0026】302はA/D変換回路であり、外部から供給されるアナログビデオデータをmビットデジタルビデオデータに変換する。303はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路303は、入力されるmビットデジタルビデオデータのうちnビットのデジタルビデオデータを、nビットの電圧階調の為にデジタルビデオデータに変換する。入力されるmビットのデジタルビデオデータのうち(m-n)ビットの階調情報は、時間階調によって表現  
10 される。デジタルビデオデータ時間階調処理回路303によって変換されたnビットデジタルビデオデータは、D/A変換回路304に入力され、アナログビデオデータに変換される。D/A変換回路304によって変換されたアナログビデオデータは、液晶表示装置301に入力される。液晶表示装置301に入力されたアナログビデオデータは、ソースドライバに入力され、ソースドライバ内のサンプリング回路によってサンプリングされ、各ソース信号線に供給され、画素TF Tに供給される。

【0027】305は、対向電極駆動回路であり、対向電極の電位を制御する対向電極制御信号を液晶パネル301の対向電極301-2-1に供給する。

【0028】本発明の液晶表示装置の動作は、下記の実施形態において、詳しく説明する。

【0029】以下に本発明の構成を述べる。

【0030】本発明の液晶表示装置によると、複数の画素TF Tがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、  
30 を有する液晶表示装置であって、OCBモードによって表示を行い、外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階調の情報として、かつ(m-n)ビットを時間階調の情報として(m、nは共に2以上の正数、かつm>n)用いることによって、電圧階調と時間階調とを同時に行うことを特徴とする液晶表示装置が提供される。

【0031】また、本発明の液晶表示装置によると、複数の画素TF Tがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、  
40 を有する液晶表示装置であって、OCBモードによって表示を行い、外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階調の情報として、かつ(m-n)ビットを時間階調の情報として

(m、nは共に2以上の正数、かつm>n)用いることによって、電圧階調および時間階調を、それぞれ前、後、または相前後して行うことを特徴とする液晶表示装置が提供される。

50 【0032】sまた、本発明の液晶表示装置によると、

(5)

7

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、外部から入力されるmビットデジタルビデオデータをnビットデジタルビデオデータに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と(m、nは共に2以上の正数、 $m > n$ )、を有する液晶表示装置であって、電圧階調と時間階調とを同時に行い、 $2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって表示を行い、前記 $2^{m-n}$ 個のサブフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置が提供される。

【0033】また、本発明の液晶表示装置によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、外部から入力されるmビットデジタルビデオデータをnビットデジタルビデオデータに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と(m、nは共に2以上の正数、 $m > n$ )、を有する液晶表示装置であって、電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、前記 $2^{m-n}$ 個のサブフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置が提供される。

【0034】また、本発明の液晶表示装置によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、外部から入力されるmビットデジタルビデオデータをnビットデジタルビデオデータに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と(m、nは共に2以上の正数、 $m > n$ )、を有する液晶表示装置であって、電圧階調と時間階調とを同時に行い、 $2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって表示を行い、前記 $2^{m-n}$ 個のサブフレームによって構成されるフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置が提供される。

【0035】また、本発明の液晶表示装置によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、外部から入力されるmビットデジタルビデオデー

8

タをnビットデジタルビデオデータに変換し、前記ソースドライバに前記nビットデジタルビデオデータを供給する回路と(m、nは共に2以上の正数、 $m > n$ )、を有する液晶表示装置であって、電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、前記 $2^{m-n}$ 個のサブフレームによって構成されるフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置が提供される。

10 【0036】前記mは10、前記nは2であるようにしてもよい。

【0037】前記mは12、前記nは4であるようにしてもよい。

【0038】

【発明の実施の形態】

【0039】以下に本発明の液晶表示装置を実施形態をもって詳しく説明する。ただし、本発明の液晶表示装置は、以下の実施形態に限定されるわけではない。

【0040】(実施形態1)

20 【0041】本実施形態の液晶表示装置の概略構成図を図4に示す。本実施形態においては、説明の簡略のため、外部から4ビットデジタルビデオデータが供給される液晶表示装置を例にとる。

【0042】図4には、本発明の液晶表示装置の概略構成図が示されている。401はデジタルドライバを有する液晶パネルである。液晶パネル401は、アクティブマトリクス基板401-1および対向基板401-2を有している。アクティブマトリクス基板401-1には、ソースドライバ401-1-1、ゲートドライバ401-1-2および401-1-3、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路401-1-4を有している。ソースドライバ401-1-1およびゲートドライバ401-1-2ならびに401-1-3は、アクティブマトリクス回路401-1-4を駆動する。また、対向基板401-2は、対向電極401-2-1を有している。なお、端子COMは、対向電極に信号を供給する端子を示している。

【0043】なお、本実施形態の液晶パネルは、上述した様なOCBモードを表示モードとして用いている。

40 【0044】402はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路402は、外部から入力される4ビットデジタルビデオデータのうち2ビットのデジタルビデオデータを、電圧階調の為に2ビットデジタルビデオデータに変換する。4ビットのデジタルビデオデータのうち残り2ビットの階調情報は、時間階調によって表現される。

【0045】デジタルビデオデータ時間階調処理回路402によって変換された後の2ビットデジタルビデオデータは、液晶パネル401に入力される。液晶パネル401に入力された2ビットデジタルビデオデータは、ソ

50

(6)

9

ースドライバに入力され、ソースドライバ内のD/A変換回路(図示せず)でアナログ階調データに変換され、各ソース信号線に供給される。

【0046】また、403は対向電極駆動回路であり、対向電極の電位を制御する対向電極制御信号を液晶パネル401の対向電極401-2-1に供給する。

【0047】ここで、本実施形態の液晶表示装置の液晶パネル401の回路回路構成、特にアクティブマトリクス回路401-1-4について、図5を用いて説明する。

【0048】本実施形態においては、アクティブマトリクス回路401-1-4は、 $(x \times y)$  個の画素を有している。それぞれの画素には、説明の便宜上、 $P1, 1$ 、 $P2, 1$ 、 $\dots$ 、 $P_y, x$ 等の符号が付けられている。また、それぞれの画素は、画素TFT501、保持容量502を有している。また、アクティブマトリクス基板と対向基板との間には、液晶が挟まれている。液晶502は、各画素に対応する液晶を模式的に示したものである。

【0049】本実施形態のデジタルドライバ液晶パネルは、1ライン分の画素(例えば、 $P1, 1$ 、 $P1, 2$ 、 $\dots$ 、 $P1, x$ )を同時に駆動する、いわゆる線順次駆動を行う。言い換えると、1ライン分の画素に同時にアナログ階調電圧を書き込む。全ての画素( $P1, 1 \sim P_y, x$ )にアナログ階調電圧を書き込むのに要する時間を1フレーム期間( $Tf$ )と呼ぶことにする。また、本実施形態では、1フレーム期間( $Tf$ )を4分割した期間をサブフレーム期間( $Tsf$ )と呼ぶことにする。さらに、1ライン分の画素(例えば、 $P1, 1$ 、 $P1, 2$ 、 $\dots$ 、 $P1, x$ )にアナログ階調電圧を書き込むのに要する時間を1サブフレームライン期間( $Tsfl$ )と呼ぶことにする。

【0050】対向電極401-2-1には、対向電極制御回路からの対向電極制御信号が供給される。なお、対向電極が電氣的に接続された端子COMに対向電極制御信号が供給されるようになっている。

【0051】次に、本実施形態の液晶表示装置の階調表示について説明する。本実施形態の液晶表示装置に外部から供給されるデジタルビデオデータは4ビットであり、16階調の情報を有している。ここで、図6を参照

10

する。図6には、本実施形態の液晶表示装置の表示階調レベルが示されている。電圧レベルVLはD/A変換回路に入力される最低の電圧レベルであり、また、電圧レベルVHはD/A変換回路に入力される最高の電圧レベルである。

【0052】本実施形態においては、2ビット、つまり4階調の電圧レベルを実現するために、電圧レベルVHと電圧レベルVLとの間をほぼ等電圧レベルに4分割し、その電圧レベルのステップを $\alpha$ とした。なお、 $\alpha = (VH - VL) / 4$ である。よって、本実施形態のD/A変換回路が出力する電圧階調レベルは、デジタルビデオデータのアドレスが(00)の時はVLとなり、デジタルビデオデータのアドレスが(01)の時は $VL + \alpha$ となり、デジタルビデオデータのアドレスが(10)の時は $VL + 2\alpha$ となり、デジタルビデオデータのアドレスが(11)の時は $VL + 3\alpha$ となる。

【0053】本実施形態のD/A変換回路が出力できる電圧階調レベルは、上述の様にVL、 $(VL + \alpha)$ 、 $(VL + 2\alpha)$ 、および $(VL + 3\alpha)$ の4通りである。そこで、本発明においては、時間階調表示を組み合わせることによって、液晶表示装置の表示階調レベルの数を上げることができる。

【0054】本実施形態においては、4ビットデジタルビデオデータのうちの2ビット分の情報を時間階調表示に用いることによって、電圧レベルのステップ $\alpha$ をほぼ4等分した電圧階調レベルに相当する表示階調レベルを実現することができる。つまり、本実施例の液晶表示装置は、VL、 $VL + \alpha/4$ 、 $VL + 2\alpha/4$ 、 $VL + 3\alpha/4$ 、 $VL + \alpha$ 、 $VL + 5\alpha/4$ 、 $VL + 6\alpha/4$ 、 $VL + 7\alpha/4$ 、 $VL + 2\alpha$ 、 $VL + 9\alpha/4$ 、 $VL + 10\alpha/4$ 、 $VL + 11\alpha/4$ 、 $VL + 3\alpha$ の電圧階調レベルに相当する表示階調レベルを実現することができる。

【0055】ここで、外部から入力される4ビットデジタルビデオデータアドレスと、時間階調処理後デジタルビデオデータアドレスおよびそれに対応する電圧階調レベルと、時間階調を組み合わせた表示階調レベルとの対応を下記の表1に示す。

【0056】

【表1】

(7)

11

12

デジタルビデオデータアドレス		時間階調処理後 デジタルビデオデータアドレス (階調電圧) レベル				時間階調を 組み合わせた 階調表示レベル
		1st Tsfl	2nd Tsfl	3rd Tsfl	4th Tsfl	
00	00	00 (VL)	00 (VL)	00 (VL)	00 (VL)	VL
	01	00 (VL)	00 (VL)	00 (VL)	01 (VL+ $\alpha$ )	VL+ $\alpha$ /4
	10	00 (VL)	00 (VL)	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	VL+2 $\alpha$ /4
	11	00 (VL)	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	VL+3 $\alpha$ /4
01	00	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	VL+ $\alpha$
	01	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	10 (VL+2 $\alpha$ )	VL+5 $\alpha$ /4
	10	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	VL+6 $\alpha$ /4
	11	01 (VL+ $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	VL+7 $\alpha$ /4
10	00	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	VL+2 $\alpha$
	01	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+9 $\alpha$ /4
	10	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+10 $\alpha$ /4
	11	10 (VL+2 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+11 $\alpha$ /4
11	00	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+3 $\alpha$
	01	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+3 $\alpha$
	10	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+3 $\alpha$
	11	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+3 $\alpha$

【0057】なお、表1に示すように、本実施例においては、4ビットデジタルビデオデータのアドレスが(1100)～(1111)までは同じ階調電圧レベル(VL+3 $\alpha$ )が出力される。

【0058】なお、表1に示す階調電圧レベルは、液晶に実際に印加される電圧であるとしてもよい。つまり、表1に示す階調電圧レベルは、後述の対向電極に印加されるV<sub>COM</sub>を考慮にいたれた電圧レベルであるとしてもよい。

【0059】本発明の液晶表示装置は、1フレーム期間T<sub>f</sub>を4つのサブフレーム期間(1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl)に分割して表示を行っている。さらに、本実施形態の液晶表示装置は、線順次駆動を行うので、1フレーム期間において、各画素は1サブフレームライン期間(Tsfl)の間、階調電圧が書き込まれる。よって、各サブフレーム期間(1st Tsfl、2nd

Tsfl、3rd Tsfl、および4th Tsfl)に対応する各サブフレームライン期間(1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl)に、時間階調処理後の2ビットデジタルビデオデータのアドレスがD/A変換回路に入力され、D/A変換回路から階調電圧が出力される。4つのサブフレームライン期間(1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl)に書き込まれる階調電圧によって4回のサブフレームの表示が高速に行われ、結果として1フレームの表示階調は、各サブフレームライン期間の階調電圧レベルの総和を時間平均したものになる。このようにして、電圧階調と時間階調とを同時に行う。

【0060】なお、本実施形態の液晶表示装置においては、各サブフレーム期間において、サブフレームライン期間が始まる前に、イニシャライズ期間(T<sub>i</sub>)を設けている。このイニシャライズ期間(T<sub>i</sub>)において、全



(8)

13

ての画素に、ある電圧 $V_i$ （画素電極イニシャライズ電圧）を印加し、かつ対向電極にある電圧 $V_{COMi}$ （対向電極イニシャライズ電圧）を印加することによって、スプレイ配向にある液晶をベンド配向に移行させる。

【0061】よって、本実施形態の液晶表示装置においては、2ビットデジタルビデオデータを扱うD/A変換回路を用いる場合でも、 $2^4 - 3 = 13$ 階調の階調レベルの表示を行うことができる。

【0062】なお、各サブフレームライン期間（1st Tsfl、2nd Tsfl、3rd Tsfl、および4th）に書き込まれるデジタルビデオデータのアドレス（または階調電圧レベル）は、表1以外の組合わせによっても設定され得る。例えば、表1においては、デジタルビデオデータアドレスが（0010）の時には、第3サブフレームライン期間（3rd Tsfl）および第4サブフレームライン期間（4th Tsfl）に、 $(V_L + \alpha)$ の階調電圧が書き込まれるように示されているが、本発明を実現するためには、この組合わせに限定されるわけではない。つまり、デジタルビデオデータアドレスが（0010）の時には、第1サブフレームライン期間～第4サブフレームライン期間の4個のサブフレーム期間のうち、計2個のサブフレーム期間に $(V_L + \alpha)$ の階調電圧が書き込まれるようにすればよく、どのサブフレーム期間に $(V_L + \alpha)$ の階調電圧が書き込まれるようにするかは自由に設定できる。

【0063】ここで、図7および図8を参照する。図7および図8には、本実施形態の液晶表示装置の駆動タイミングチャートが示されている。図7および図8には、画素P1,1、画素P2,1、画素P3,1、および画素Py,1が例にとって示されている。なお、図面の都合上、図7および図8の2図を用いて説明している。

【0064】前述の様に、1フレーム期間（Tf）は、第1サブフレーム期間（1st Tsfl）、第2サブフレーム期間（2nd Tsfl）、第3サブフレーム期間（3rd Tsfl）、および第4サブフレーム期間（4th Tsfl）によって構成される。各サブフレーム期間の始まりには、イニシャライズ期間（Ti）があり、このイニシャライズ期間（Ti）には、全ての画素に、画素電極イニシャライズ電圧（ $V_i$ ）が印加される。また、イニシャライズ期間（Ti）には、対向電極（COM）には、対向電極イニシャライズ電圧（ $V_{COMi}$ ）が印加される。

【0065】よって、本実施形態においては、イニシャライズ期間（Ti）においては、画素電極と対向電極とに挟まれた液晶には $(V_i + V_{COMi})$ の電圧が印加されることになり、スプレイ配向していた液晶分子がベンド配向し、その後の画像情報を有するアナログ階調電圧の印加によっても高速応答が可能な状態になる。

【0066】第1サブフレーム期間において、イニシャライズ期間（Ti）経過後、画素P1,1には、第1サブフレームライン期間（1st Tsfl）にデジタルビデオデー

14

タがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。なお、イニシャライズ期間（Ti）経過後は、対向電極には $V_{COM}$ が印加される。なお $V_{COM}$ は、表示画面のチラツキ具合をみて調整できるようになっている。また、 $V_{COM}$ は0Vであってもよい。

【0067】なお、 $V_i$ 、 $V_{COMi}$ 、および $V_{COM}$ は、用いる液晶や表示具合等に応じて最適な値を設定することが望ましい。

【0068】画素P1,1～画素P1,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素P2,1～画素P2,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。

【0069】このようにして、全ての画素に画像情報を有するアナログ階調電圧が順に書き込まれる。よって第1サブフレーム期間が終了する。

【0070】そして、第1サブフレーム期間の経過後、第2サブフレーム期間が始まる。第2サブフレーム期間（2nd Tsfl）においても、イニシャライズ期間（Ti）には、対向電極（COM）には、対向電極イニシャライズ電圧（ $V_{COMi}$ ）が供給される。第2サブフレーム期間においてもイニシャライズ期間（Ti）経過後、画素P1,1～画素P1,xには、第2サブフレームライン期間（2nd Tsfl）にデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。画素P1,1～画素P1,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素P2,1～画素P2,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。なお、イニシャライズ期間（Ti）経過後は、対向電極には $V_{COM}$ が印加される。

【0071】このようにして、全ての画素に画像情報を有するアナログ階調電圧が順に書き込まれる。よって第2サブフレーム期間が終了する。

【0072】第3サブフレーム期間（3rd Tsfl）および第4サブフレーム期間（4th Tsfl）においても同様の動作が行われる。

【0073】このようにして、第1サブフレーム期間から第4サブフレーム期間迄が終了する。

【0074】第1のフレーム期間終了後、第2のフレーム期間が始まる（図8）。本実施形態では、フレーム期間ごとに液晶に印加される電界の向きが逆となるフレーム反転を行う。よって、第2のフレーム期間においては、画素電極供給される画素電極イニシャライズ電圧（ $V_i$ ）および階調電圧は、対向電極を基準電位とした時に、第1のフレーム期間と逆極性の電圧が印加されることになる。

【0075】ここで、図9を参照する。図9は、ある画

(9)

15

素（例えば、画素P1,1）の画素電極にサブフレーム期間ごとに書き込まれる階調電圧レベルと、フレーム期間における階調表示レベルとの関係を示した例である。

【0076】始めに1フレーム期間目に着目する。まず、イニシャライズ期間（Ti）においては、画素電極にイニシャライズ電圧（Vi）が印加され、スプレイ配向にある液晶がベンド配向に移行する。イニシャライズ期間（Ti）終了後、第1のサブフレームライン期間（1st Tsfl）には（VL+ $\alpha$ ）の階調電圧が書き込まれ、第1のサブフレーム期間（1st Tsf）には階調電圧（VL+ $\alpha$ ）に対応した階調表示が行われる。第2サブフレームライン期間（2nd Tsfl）には（VL+2 $\alpha$ ）の階調電圧が書き込まれ、第2のサブフレーム期間（2nd Tsf）には階調電圧（VL+ $\alpha$ ）に対応した階調表示が行われる。第3のサブフレームライン期間（3rd Tsfl）には（VL+2 $\alpha$ ）の階調電圧が書き込まれ、第3のサブフレーム期間（3rd Tsf）には階調電圧（VL+2 $\alpha$ ）に対応した階調表示が行われる。第4のサブフレームライン期間（4th Tsfl）には（VL+2 $\alpha$ ）の階調電圧が書き込まれ、第4のサブフレーム期間（4th Tsf）には階調電圧（VL+2 $\alpha$ ）に対応した階調表示が行われる。よって、1フレーム目の階調表示レベルは、（VL+7 $\alpha$ /4）の階調電圧レベルに対応した階調表示となる。

【0077】次に2フレーム期間目に着目する。まず、イニシャライズ期間（Ti）においては、画素電極にイニシャライズ電圧（Vi）が印加され、スプレイ配向にある液晶がベンド配向に移行する。イニシャライズ期間（Ti）終了後、第1のサブフレームライン期間（1st Tsfl）には（VL+2 $\alpha$ ）の階調電圧が書き込まれ、第1のサブフレーム期間（1st Tsf）には階調電圧（VL+2 $\alpha$ ）に対応した階調表示が行われる。第2サブフレームライン期間（2nd Tsfl）には（VL+2 $\alpha$ ）の階調電圧が書き込まれ、第2のサブフレーム期間（2nd Tsf）には階調電圧（VL+2 $\alpha$ ）に対応した階調表示が行われる。第3のサブフレームライン期間（3rd Tsfl）には（VL+3 $\alpha$ ）の階調電圧が書き込まれ、第3のサブフレーム期間（3rd Tsf）には階調電圧（VL+3 $\alpha$ ）に対応した階調表示が行われる。第4のサブフレームライン期間（4th Tsfl）には（VL+3 $\alpha$ ）の階調電圧が書き込まれ、第4のサブフレーム期間（4th Tsf）には階調電圧（VL+3 $\alpha$ ）に対応した階調表示が行われる。よって、1フレーム目の階調表示レベルは、（VL+10 $\alpha$ /4）の階調電圧レベルに対応した階調表示となる。

【0078】なお、本実施形態においては、4階調の電圧レベルを実現するために、電圧レベルVHと電圧レベルVLとの間をほぼ等電圧レベルに分割し、その電圧レベルのステップを $\alpha$ としたが、電圧レベルVHと電圧レベルVLとの間を等電圧レベルに分割せず任意に設定した場合でも、本発明の効果はある。

16

【0079】また、本実施形態においては、液晶パネルのD/A変換回路に電圧レベルVHと電圧レベルVLとを入力し階調電圧レベルを実現できるようにしたが、3以上の電圧レベルの入力によって階調電圧レベルを実現するようにすることもできる。

【0080】また、本実施例においては、各サブフレームライン期間に書き込まれる階調電圧レベルを表1のように設定したが、既述したように、表1に限定されるわけではない。

【0081】また、本実施例においては、外部から入力される4ビットデジタルビデオデータのうち2ビットのデジタルビデオデータを、2ビットの電圧階調の為にデジタルビデオデータに変換し、4ビットのデジタルビデオデータのうち2ビットの階調情報は、時間階調によって表現されるようにした。ここで、一般に、外部からmビットのデジタルビデオデータが時間階調処理回路によって、nビットデジタルビデオデータが、階調電圧の為にデジタルビデオデータに変換され、（m-n）ビットの階調情報は、時間階調によって表現される場合を考える。なお、m、nは共に2以上の整数であり、m>nとする。

【0082】この場合、フレーム期間（Tf）とサブフレーム期間（Tsf）との関係は、 $Tf = 2^{m-n} \cdot Tsf$  となり、（ $2^m - (2^{m-n} - 1)$ ）通りの階調表示を行うことができる。

【0083】なお、本実施形態においては、m=4かつn=2の場合を例にとりて説明したが、これらの場合に限定されるわけではないことは、言うまでもない。m=12かつn=4であってもよい。また、m=8かつn=2であってもよい。また、m=8かつn=6であってもよい。また、m=10かつn=2であってもよいし、その他の場合であってもよい。

【0084】また、電圧階調および時間階調を、それぞれ前、後、または相前後して行うようにしてもよい。

【0085】（実施形態2）

【0086】本実施形態においては、上記実施形態1における本発明の液晶表示装置の構成において、サブフレームごとにフレーム反転駆動を行った場合について説明する。

【0087】図10を参照する。図10には、本実施形態の液晶表示装置の駆動タイミングチャートが示されている。図10は、画素P1,1、画素P2,1、画素P3,1、および画素Py,1が例にとりて示されている。

【0088】本実施形態においても、前述の様に、1フレーム期間（Tf）は、第1サブフレーム期間（1st Tsf）、第2サブフレーム期間（2nd Tsf）、第3サブフレーム期間（3rd Tsf）、および第4サブフレーム期間（4th Tsf）によって構成される。各サブフレーム期間の始まりには、イニシャライズ期間（Ti）があり、こ

(10)

17

のイニシャライズ期間 (Ti) には、全ての画素に、画素電極イニシャライズ電圧 ( $V_i$ ) が印加される。また、イニシャライズ期間 (Ti) には、対向電極 (COM) には、対向電極イニシャライズ電圧 ( $V_{COMi}$ ) が印加される。

【0089】 によって、本実施形態においても、イニシャライズ期間 (Ti) においては、画素電極と対向電極とに挟まれた液晶には ( $V_i + V_{COMi}$ ) の電圧が印加されることになり、スプレイ配向していた液晶分子がベンド配向し、その後の画像情報を有するアナログ階調電圧の印加によっても高速応答が可能な状態になる。

【0090】 第1サブフレーム期間において、イニシャライズ期間 (Ti) 経過後、画素 P1, 1 には、第1サブフレームライン期間 (1st Tsfl) にデジタルビデオデータが D/A 変換回路によってアナログ階調電圧に変換され、そのアナログ階調電圧が書き込まれる。なお、画素 P1, 1 ~ 画素 P1, x には、同時に、それぞれの画素に対応したアナログ階調電圧が書き込まれる。なお、イニシャライズ期間 (Ti) 経過後は、対向電極には  $V_{COM}$  が印加される。なお  $V_{COM}$  は、表示画面のチラツキ具合をみて調整できるようになっている。また、本実施形態においても  $V_{COM}$  は 0 V であってもよい。

【0091】 画素 P1, 1 ~ 画素 P1, x にデジタルビデオデータが D/A 変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素 P2, 1 ~ 画素 P2, x にデジタルビデオデータが D/A 変換回路によってアナログ階調電圧に変換され書き込まれる。

【0092】 このようにして、全ての画素に画像情報を有するアナログ階調電圧が順に書き込まれる。よって第1サブフレーム期間が終了する。

【0093】 そして、第1サブフレーム期間の経過後、第2サブフレーム期間が始まる。第2サブフレーム期間 (2nd Tsf) においても、イニシャライズ期間 (Ti) には、対向電極 (COM) には、対向電極イニシャライズ電圧 ( $V_{COMi}$ ) が供給される。なお、本実施形態においては、サブフレーム期間毎に液晶に印加される電界の向きが逆になるようにしている。第2サブフレーム期間においてもイニシャライズ期間 (Ti) 経過後、画素 P1, 1 ~ 画素 P1, x には、第1サブフレームライン期間 (1st Tsfl) にデジタルビデオデータが D/A 変換回路によってアナログ階調電圧に変換され書き込まれる。画素 P1, 1 ~ 画素 P1, x にデジタルビデオデータが D/A 変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素 P2, 1 ~ 画素 P2, x にデジタルビデオデータが D/A 変換回路によってアナログ階調電圧に変換され書き込まれる。なお、イニシャライズ期間 (Ti) 経過後は、対向電極には  $V_{COM}$  が印加される。

【0094】 このようにして、全ての画素に画像情報を

18

有するアナログ階調電圧が順に書き込まれる。よって第2サブフレーム期間が終了する。

【0095】 第3サブフレーム期間 (3rd Tsf) および第4サブフレーム期間 (4th Tsf) においても同様の動作が行われる。

【0096】 このようにして、第1サブフレーム期間から第4サブフレーム期間迄が終了する。

【0097】 第1のフレーム期間終了後、第2のフレーム期間が始まる (図示せず)。

【0098】 このように本実施形態においては、サブフレーム期間毎に液晶に印加される電界の向きが逆になるサブフレーム反転方式によって表示を行うので、よりちらつきの少ない表示が可能となる。

【0099】 (実施形態3)

【0100】 本実施形態においては、上記実施形態1における本発明の液晶表示装置の構成において、第1サブフレーム期間にだけイニシャライズ期間を設け、イニシャライズ電圧 ( $V_i$  および  $V_{COM}$ ) を印加し、かつフレーム反転駆動を行う場合について説明する。

【0101】 図11を参照する。図11には、本実施形態の液晶表示装置の駆動タイミングチャートが示されている。図11には、画素 P1, 1、画素 P2, 1、画素 P3, 1、および画素 Py, 1 が例にとりて示されている。

【0102】 本実施形態においても、前述の様に、1フレーム期間 (Tf) は、第1サブフレーム期間 (1st Tsf)、第2サブフレーム期間 (2nd Tsf)、第3サブフレーム期間 (3rd Tsf)、および第4サブフレーム期間 (4th Tsf) によって構成される。上述の実施形態1とことなるのは、第1サブフレーム期間の始まりにだけ、イニシャライズ期間 (Ti) があり、このイニシャライズ期間 (Ti) には、全ての画素に、画素電極イニシャライズ電圧 ( $V_i$ ) が印加される点である。

【0103】 また、イニシャライズ期間 (Ti) には、対向電極 (COM) には、対向電極イニシャライズ電圧 ( $V_{COMi}$ ) が印加されることは同様である。

【0104】 によって、本実施形態においても、イニシャライズ期間 (Ti) においては、画素電極と対向電極とに挟まれた液晶には ( $V_i + V_{COMi}$ ) の電圧が印加されることになり、スプレイ配向していた液晶分子がベンド配向し、その後の画像情報を有するアナログ階調電圧の印加によっても高速応答が可能な状態になる。

【0105】 第1サブフレーム期間において、イニシャライズ期間 (Ti) 経過後、画素 P1, 1 には、第1サブフレームライン期間 (1st Tsfl) にデジタルビデオデータが D/A 変換回路によってアナログ階調電圧に変換され、そのアナログ階調電圧が書き込まれる。なお、画素 P1, 1 ~ 画素 P1, x には、同時に、それぞれの画素に対応したアナログ階調電圧が書き込まれる。なお、イニシャライズ期間 (Ti) 経過後は、対向電極には  $V_{COM}$  が印加される。なお  $V_{COM}$  は、表示画面のチラツキ具合をみて

(11)

19

調整できるようになっている。また、本実施形態においても $V_{COM}$ は0-Vであってもよい。

【0106】画素P1,1~画素P1,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素P2,1~画素P2,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。

【0107】このようにして、全ての画素に画像情報を有するアナログ階調電圧が順に書き込まれる。よって第1サブフレーム期間が終了する。

【0108】そして、第1サブフレーム期間の経過後、第2サブフレーム期間が始まる。第2サブフレーム期間(2nd Tsf)においては、イニシャライズ期間(Ti)を設けない。よって、第2サブフレーム期間の開始時に、イニシャライズ電圧(Viおよび $V_{COM}$ )が画素に印加されることはない。画素P1,1~画素P1,xには、第1サブフレームライン期間(1st Tsfl)にデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。画素P1,1~画素P1,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素P2,1~画素P2,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。

【0109】このようにして、全ての画素に画像情報を有するアナログ階調電圧が順に書き込まれる。よって第2サブフレーム期間が終了する。

【0110】第3サブフレーム期間(3rd Tsf)および第4サブフレーム期間(4th Tsf)においても、第2サブフレーム期間(2nd Tsf)と同様の動作が行われる。

【0111】このようにして、第1サブフレーム期間から第4サブフレーム期間迄が終了する。

【0112】第1のフレーム期間終了後、第2のフレーム期間が始まる(図示せず)。

【0113】(実施形態4)

【0114】本実施形態においては、10ビットデジタルビデオデータが入力される液晶表示装置について説明する。図12を参照する。図12には、本実施例の液晶表示装置の概略構成図が示されている。液晶表示装置1001は、アクティブマトリクス基板1001-1および対向基板1001-2を有している。アクティブマトリクス基板1001-1には、ソースドライバ1001-1-1ならびに1001-1-2、ゲートドライバ1001-1-3、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路1001-1-4、デジタルビデオデータ時間階調処理回路1001-1-5、および対向電極駆動回路1001-1-6を有している。また、対向基板1001-2は、対向電極1001-2-1を有している。なお、端子COMは、対向電

20

極に信号を供給する端子を示している。

【0115】本実施形態においては、図12に示すように、デジタルビデオデータ時間階調処理回路および対向電極駆動回路がアクティブマトリクス基板上に一体形成されており、液晶表示装置が形成されている。

【0116】デジタルビデオデータ時間階調処理回路1001-1-5は、外部から入力される10ビットデジタルビデオデータのうち8ビットのデジタルビデオデータを、8ビットの電圧階調の為にデジタルビデオデータに変換する。10ビットのデジタルビデオデータのうち2ビットの階調情報は、時間階調によって表現される。

【0117】デジタルビデオデータ時間階調処理回路1001-5によって変換された8ビットデジタルビデオデータは、ソースドライバ1001-1-1および1001-1-2に入力され、ソースドライバ内のD/A変換回路(図示せず)でアナログ階調電圧に変換され、各ソース信号線に供給される。

【0118】ここで、図13を参照する。図13には、本実施形態の液晶表示装置の回路構成がより詳しく示されている。ソースドライバ1001-1-1は、シフトレジスタ回路1001-1-1-1、ラッチ回路1(1001-1-1-2)、ラッチ回路2(1001-1-1-3)、D/A変換回路(1001-1-1-4)を有している。その他、バッファ回路やレベルシフト回路(いずれも図示せず)を有している。また、説明の便宜上、D/A変換回路1001-1-1-4にはレベルシフト回路が含まれている。

【0119】ソースドライバ1001-1-2は、ソースドライバ1001-1-1と同じ構成を有する。なお、ソースドライバ1001-1-1は、奇数番目のソース信号線に画像信号(階調電圧)を供給し、ソースドライバ1001-1-2は、偶数番目のソース信号線に画像信号を供給するようになっている。

【0120】なお、本実施例のアクティブマトリクス型液晶表示装置においては、回路レイアウトの都合上、アクティブマトリクス回路の上下を挟むように2つのソースドライバ1001-1-1および1001-1-2を設けたが、回路レイアウト上、可能であれば、ソースドライバを1つだけ設けるようにしても良い。

【0121】また、1001-1-3はゲートドライバであり、シフトレジスタ回路、バッファ回路、レベルシフト回路等(いずれも図示せず)を有している。

【0122】アクティブマトリクス回路1001-1-4は、1920×1080(横×縦)の画素を有している。各画素の構成は、上記実施形態1で説明したものと同様である。

【0123】本実施形態の液晶表示装置は、8ビットデジタルビデオデータを扱うD/A変換回路1001-1-1-4を有している。また、外部から供給される10ビットデジタルビデオデータのうち2ビット分の情報を

(12)

21

時間階調を行うために用いる。なお、時間階調については、上述の実施形態1と同様に考えられる。

【0124】よって、本実施形態の液晶表示装置は、 $28-3=253$ 通りの階調表示を行うことができる。

【0125】また、本実施形態の液晶表示装置の駆動方法については、上述の実施形態1～実施形態3のいずれの方法をも用いることができる。

【0126】（実施形態5）

【0127】本実施形態では、本発明の液晶表示装置の作製方法例について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。

【0128】〔島状半導体層、ゲート絶縁膜形成の工程：図14（A）〕図14（A）において、基板7001には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【0129】そして、基板7001のTFTが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜7002をプラズマCVD法やスパッタ法で $100\sim400\text{nm}$ の厚さに形成した。例えば下地膜7002として、窒化シリコン膜7002を $25\sim100\text{nm}$ 、ここでは $50\text{nm}$ の厚さに、酸化シリコン膜7003を $50\sim300\text{nm}$ 、ここでは $150\text{nm}$ の厚さとした2層構造で形成すると良い。下地膜7002は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0130】次に下地膜7002の上に $20\sim100\text{nm}$ の厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは $400\sim550^\circ\text{C}$ で数時間加熱して脱水素処理を行い、含有水素量を $5\text{atom}\%$ 以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気中にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0131】非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるSOI (Silicon On Insulators) の公知技術を使

22

用して結晶質シリコン膜を形成しても良い。

【0132】こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層7004～7006を形成した。結晶質シリコン膜のnチャネル型TFTが作製される領域には、しきい値電圧を制御するため、あらかじめ $1\times10^{15}\sim5\times10^{17}\text{cm}^{-3}$ 程度の濃度でボロン（B）を添加しておいても良い。

【0133】次に、島状半導体層7004～7006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜7007を形成した。ゲート絶縁膜7007は、 $10\sim200\text{nm}$ 、好ましくは $50\sim150\text{nm}$ の厚さに形成すれば良い。例えば、プラズマCVD法で $\text{N}_2\text{O}$ と $\text{SiH}_4$ を原料とした窒化酸化シリコン膜を $75\text{nm}$ 形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、 $800\sim1000^\circ\text{C}$ で熱酸化して $115\text{nm}$ のゲート絶縁膜としても良い。（図14（A））

【0134】〔n<sup>-</sup>領域の形成：図14（B）〕島状半導体層7004、7006及び配線を形成する領域の全面と、島状半導体層7005の一部（チャネル形成領域となる領域を含む）にレジストマスク7008～7011を形成し、n型を付与する不純物元素を添加して低濃度不純物領域7012を形成した。この低濃度不純物領域7012は、後にCMOS回路のnチャネル型TFTに、ゲート絶縁膜を介してゲート電極と重なるLDD領域（本明細書中ではLov領域という。なお、ovとはoverlapの意味である。）を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるn型を付与する不純物元素の濃度を（n<sup>-</sup>）で表すこととする。従って、本明細書中では低濃度不純物領域7012をn<sup>-</sup>領域と言い換えることができる。

【0135】ここではフォスフィン（ $\text{PH}_3$ ）を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜7007を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5\times10^{17}\sim5\times10^{18}\text{atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1\times10^{18}\text{atoms/cm}^3$ とした。

【0136】その後、レジストマスク7008～7011を除去し、窒素雰囲気中で $400\sim900^\circ\text{C}$ 、好ましくは $550\sim800^\circ\text{C}$ で $1\sim12$ 時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行った。

【0137】〔ゲート電極用および配線用導電膜の形成：図14（C）〕第1の導電膜7013を、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素またはいずれかを主成分とする導電性材料で、 $10\sim100\text{nm}$ の厚さに形成した。第1の導電膜7013としては、例えば窒化タンタル（ $\text{Ta}_2\text{N}$ ）や窒化タングステン（ $\text{WN}$ ）を用いるこ

(13)

23

とが望ましい。さらに、第1の導電膜7013上に第2の導電膜7014をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100～400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜7013の下に導電膜7013、7014(特に導電膜7014)の酸化防止のためにシリコン膜を2～20nm程度の厚さで形成しておくことは有効である。

【0138】〔p-chゲート電極、配線電極の形成とp<sup>+</sup>領域の形成：図15(A)〕レジストマスク7015～7018を形成し、第1の導電膜と第2の導電膜(以下、積層膜として扱う)をエッチングして、pチャンネル型TFTのゲート電極7019、ゲート配線7020、7021を形成した。なお、nチャンネル型TFTとなる領域の上には全面を覆うように導電膜7022、7023を残した。

【0139】そして、レジストマスク7015～7018をそのまま残してマスクとし、pチャンネル型TFTが形成される半導体層7004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用いてイオンドープ法(勿論、イオンインプランテーション法でも良い)で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を(p<sup>++</sup>)で表すこととする。従って、本明細書中では不純物領域7024、7025をp<sup>++</sup>領域と言い換えることができる。

【0140】なお、この工程において、レジストマスク7015～7018を使用してゲート絶縁膜7007をエッチング除去して、島状半導体層7004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0141】〔n-chゲート電極の形成：図15(B)〕次に、レジストマスク7015～7018は除去した後、レジストマスク7026～7029を形成し、nチャンネル型TFTのゲート電極7030、7031を形成した。このときゲート電極7030はn<sup>-</sup>領域7012とゲート絶縁膜を介して重なるように形成した。

【0142】〔n<sup>+</sup>領域の形成：図15(C)〕次に、レジストマスク7026～7029を除去し、レジストマスク7032～7034を形成した。そして、nチャンネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク7034はnチャンネル型TFTのゲート電極7031を覆う形で形成した。これは、後の工程に

24

においてアクティブマトリクス回路のnチャンネル型TFTに、ゲート電極と重ならないようにLDD領域を形成するためである。

【0143】そして、n型を付与する不純物元素を添加して不純物領域7035～7039を形成した。ここでも、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>とした。なお、ここで形成された不純物領域7037～7039に含まれるn型を付与する不純物元素の濃度を(n<sup>+</sup>)で表すこととする。従って、本明細書中では不純物領域7037～7039をn<sup>+</sup>領域と言い換えることができる。また、不純物領域7035、7036は既にn<sup>-</sup>領域が形成されていたので、厳密には不純物領域7037～7039よりも若干高い濃度でリンを含む。

【0144】なお、この工程において、レジストマスク7032～7034およびゲート電極7030をマスクとしてゲート絶縁膜7007をエッチングし、島状半導体膜7005、7006の一部を露出させた後、n型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0145】〔n<sup>-</sup>領域の形成：図16(A)〕次に、レジストマスク7032～7034を除去し、アクティブマトリクス回路のnチャンネル型TFTとなる島状半導体層7006にn型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域7040～7043には前記n<sup>-</sup>領域と同程度かそれより少ない濃度(具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup>)のリンが添加されるようにした。なお、ここで形成された不純物領域7040～7043に含まれるn型を付与する不純物元素の濃度を(n<sup>-</sup>)で表すこととする。従って、本明細書中では不純物領域7040～7043をn<sup>-</sup>領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域7067を除いて全ての不純物領域にn<sup>-</sup>の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【0146】〔熱活性化の工程：図16(B)〕次に、後に第1の層間絶縁膜の一部となる保護絶縁膜7044を形成した。保護絶縁膜7044は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400nmとすれば良い。

【0147】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーンেসアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーンেসアニール法で活性化工程を行った。加熱処理は、窒素



(14)

25

雰囲気中において300～650℃、好ましくは400～550℃、ここでは450℃、2時間の熱処理を行った。

【0148】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0149】〔層間絶縁膜、ソース／ドレイン電極、遮光膜、画素電極、保持容量の形成：図16（C）〕活性化工程を終えたら、保護絶縁膜7044の上に0.5～1.5μm厚の層間絶縁膜7045を形成した。前記保護絶縁膜7044と層間絶縁膜7045とでなる積層膜を第1の層間絶縁膜とした。

【0150】その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極7046～7048と、ドレイン電極7049、7050を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0151】次に、パッシベーション膜7051として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜7051に開口部を形成しておいても良い。

【0152】その後、有機樹脂からなる第2の層間絶縁膜7052を約1μmの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0153】次に、アクティブマトリクス回路となる領域において、第2の層間絶縁膜7052上に遮光膜7053を形成した。遮光膜7053はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた

26

元素またはいずれかを主成分とする膜で100～300nmの厚さに形成した。そして、遮光膜7054の表面に陽極酸化法またはプラズマ酸化法により30～150nm（好ましくは50～75nm）の厚さの酸化膜7054を形成した。ここでは遮光膜7053としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜7054として酸化アルミニウム膜（アルミナ膜）を用いた。

【0154】なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30～150nm（好ましくは50～75nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0155】次に、第2の層間絶縁膜7052にドレイン電極7050に達するコンタクトホールを形成し、画素電極7055を形成した。なお、画素電極7056、7057はそれぞれ隣接する別の画素の画素電極である。画素電極7055～7057は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。

【0156】また、この時、画素電極7055と遮光膜7053とが酸化膜7054を介して重なった領域7058が保持容量を形成した。

【0157】こうして同一基板上に、ドライバー回路となるCMOS回路とアクティブマトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるCMOS回路にはnチャネル型TFT7081、pチャネル型TFT7082が形成され、アクティブマトリクス回路にはnチャネル型TFTでなる画素TFT7083が形成された。

【0158】CMOS回路のpチャネル型TFT7081には、チャネル形成領域7061およびソース領域7062、ドレイン領域7063がそれぞれp<sup>+</sup>領域で形成された。また、nチャネル型TFT7082には、チャネル形成領域7064、ソース領域7065、ドレイン領域7066、ゲート絶縁膜を介してゲート電極と重なったLDD領域（以下、Lov領域という。なお、ovとはoverlapの意である。）7067が形成された。この時、ソース領域7065、ドレイン領域7066はそれぞれ（n<sup>-</sup>+n<sup>+</sup>）領域で形成され、Lov領域7067はn<sup>-</sup>領域で形成された。

【0159】また、画素TFT7083には、チャネル形成領域7068、7069、ソース領域7070、ド



(15)

27

レイン領域 7071、ゲート絶縁膜を介してゲート電極と重ならない LDD 領域（以下、Loff 領域という。なお、off とは offset の意である。）7072~7075、Loff 領域 7073、7074 に接した  $n^+$  領域 7076 が形成された。この時、ソース領域 7070、ドレイン領域 7071 はそれぞれ  $n^+$  領域で形成され、Loff 領域 7072~7075 は  $n^-$  領域で形成された。

【0160】本実施形態の作製方法によると、アクティブマトリクス回路およびドライバ回路が要求する回路仕様に依じて各回路を形成する TFT の構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、 $n$  チャネル型 TFT は回路仕様に依じて LDD 領域の配置を異ならせ、Lov 領域または Loff 領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視した TFT 構造と低オフ電流動作を重視した TFT 構造とを実現した。

【0161】例えば、 $n$  チャネル型 TFT 7082 は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などのロジック回路に適している。また、 $n$  チャネル型 TFT 7083 は低オフ電流動作を重視したアクティブマトリクス回路、サンプリング回路（サンプルホールド回路）に適している。

【0162】また、チャネル長 3~7  $\mu\text{m}$  に対して Lov 領域の長さ（幅）は 0.5~3.0  $\mu\text{m}$ 、代表的には 1.0~1.5  $\mu\text{m}$  とすれば良い。また、画素 TFT 7083 に設けられる Loff 領域 7072~7075 の長さ（幅）は 0.5~3.5  $\mu\text{m}$ 、代表的には 2.0~2.5  $\mu\text{m}$  とすれば良い。

【0163】以上の工程を経てアクティブマトリクス基板が完成する。

【0164】次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、液晶表示装置を作製する工程を説明する。

【0165】図 16 (C) の状態のアクティブマトリクス基板に配向膜（図示せず）を形成する。本実施形態では、配向膜にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板、透明導電膜から成る対向電極、配向膜（いずれも図示せず）とで構成される。

【0166】なお、本実施形態では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施形態では、配向膜に比較的大きなプレチル角を持つようなポリイミドを用いた。

【0167】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（いずれも図示せず）などを介して貼り合わせる。その後、両基板の間に液晶を注入し、封止剤（いずれも図示せず）によって完全に封止する。本

28

実施形態では、液晶にネマチック液晶を用いた。

【0168】よって、液晶表示装置が完成する。

【0169】なお、本実施形態で説明した非晶質シリコン膜の結晶化の方法の代わりに、レーザー光（代表的にはエキシマレーザー光）によって、非晶質シリコン膜の結晶化を行ってもよい。

【0170】また、多結晶シリコン膜を用いる代わりに、スマートカット、SIMOX、エルトラン等の SOI 構造（SOI 基板）を用いて他のプロセスを行ってもよい。

【0171】（実施形態 6）

【0172】本実施形態では、本発明の液晶表示装置の別の作製方法について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路の TFT を同時に作製する方法について説明する。

【0173】〔島状半導体層、ゲート絶縁膜形成の工程：図 17 (A)〕図 17 (A) において、基板 6001 には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【0174】そして、基板 6001 の TFT が形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜 6002 をプラズマ CVD 法やスパッタ法で 100~400 nm の厚さに形成した。例えば下地膜 6002 として、窒化シリコン膜 6002 を 25~100 nm、ここでは 50 nm の厚さに、酸化シリコン膜 6003 を 50~300 nm、ここでは 150 nm の厚さとした 2 層構造で形成すると良い。下地膜 6002 は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0175】次に下地膜 6002 の上に 20~100 nm の厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは 400~550℃ で数時間加熱して脱水素処理を行い、含有水素量を 5 atom% 以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気さらされないようにすることで表面の汚染を防ぐことが可能となり、作製される TFT の特性バラツキを低減させることができる。

【0176】非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜

(16)

29

を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるSOI (Silicon On Insulators) の公知技術を使用して結晶質シリコン膜を形成しても良い。

【0177】こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層6004～6006を形成した。結晶質シリコン膜のnチャネル型TFTが作製される領域には、しきい値電圧を制御するため、あらかじめ $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でボロン(B)を添加しておいても良い。

【0178】次に、島状半導体層6004～6006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜6007を形成した。ゲート絶縁膜6007は、10～200nm、好ましくは50～150nmの厚さに形成すれば良い。例えば、プラズマCVD法で $\text{N}_2\text{O}$ と $\text{SiH}_4$ を原料とした窒化酸化シリコン膜を75nm形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800～1000℃で熱酸化して115nmのゲート絶縁膜としても良い。(図17(A))

【0179】〔n<sup>-</sup>領域の形成：図17(B)〕島状半導体層6004、6006及び配線を形成する領域の全面と、島状半導体層6005の一部(チャネル形成領域となる領域を含む)にレジストマスク6008～6011を形成し、n型を付与する不純物元素を添加して低濃度不純物領域6012、6013を形成した。この低濃度不純物領域6012、6013は、後にCMOS回路のnチャネル型TFTに、ゲート絶縁膜を介してゲート電極と重なるLDD領域(本明細書中ではLov領域という。なお、ovとはoverlapの意味である。)を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるn型を付与する不純物元素の濃度を(n<sup>-</sup>)で表すこととする。従って、本明細書中では低濃度不純物領域6012、6013をn<sup>-</sup>領域と言い換えることができる。

【0180】ここではフォスフィン(PH<sub>3</sub>)を質量分離しないでプラズマ励起したイオンドープ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜6007を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。

【0181】その後、レジストマスク6008～6011を除去し、窒素雰囲気中で400～900℃、好ましくは550～800℃で1～12時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【0182】〔ゲート電極用および配線用導電膜の形成：図17(C)〕第1の導電膜6014を、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タン

30

グステン(W)から選ばれた元素またはいずれかを主成分とする導電性材料で、10～100nmの厚さに形成した。第1の導電膜6014としては、例えば窒化タンタル(TaN)や窒化タングステン(WN)を用いることが望ましい。さらに、第1の導電膜6014上に第2の導電膜6015をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100～400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜6014の下に導電膜6014、6015(特に導電膜6015)の酸化防止のためにシリコン膜を2～20nm程度の厚さで形成しておくことは有効である。

【0183】〔p-chゲート電極、配線電極の形成とp<sup>+</sup>領域の形成：図18(A)〕レジストマスク6016～6019を形成し、第1の導電膜と第2の導電膜(以下、積層膜として取り扱う)をエッチングして、pチャネル型TFTのゲート電極6020、ゲート配線6021、6022を形成した。なお、nチャネル型TFTとなる領域の上には全面を覆うように導電膜6023、6024を残した。

【0184】そして、レジストマスク6016～6019をそのまま残してマスクとし、pチャネル型TFTが形成される半導体層6004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用いてイオンドープ法(勿論、イオンインプランテーション法でも良い)で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を(p<sup>+</sup>)で表すこととする。従って、本明細書中では不純物領域6025、6026をp<sup>+</sup>領域と言い換えることができる。

【0185】なお、この工程において、レジストマスク6016～6019を使用してゲート絶縁膜6007をエッチング除去して、島状半導体層6004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0186】〔n-chゲート電極の形成：図18(B)〕次に、レジストマスク6016～6019は除去した後、レジストマスク6027～6030を形成し、nチャネル型TFTのゲート電極6031、6032を形成した。このときゲート電極6031はn<sup>-</sup>領域6012、6013とゲート絶縁膜を介して重なるように形成した。

【0187】〔n<sup>+</sup>領域の形成：図18(C)〕次に、レジストマスク6027～6030を除去し、レジストマスク6033～6035を形成した。そして、nチャ

(17)

31

ネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク6035はnチャネル型TFTのゲート電極6032を覆う形で形成した。これは、後の工程においてアクティブマトリクス回路のnチャネル型TFTに、ゲート電極と重ならないようにLDD領域を形成するためである。

【0188】そして、n型を付与する不純物元素を添加して不純物領域6036～6040を形成した。ここでも、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>とした。なお、ここで形成された不純物領域6038～6040に含まれるn型を付与する不純物元素の濃度を(n<sup>+</sup>)で表すこととする。従って、本明細書中では不純物領域6038～6040をn<sup>+</sup>領域と言い換えることができる。また、不純物領域6036、6037は既にn<sup>-</sup>領域が形成されていたので、厳密には不純物領域6038～6040よりも若干高い濃度でリンを含む。

【0189】なお、この工程において、レジストマスク6033～6035およびゲート電極6031をマスクとしてゲート絶縁膜6007をエッチングし、島状半導体膜6005、6006の一部を露出させた後、n型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0190】[n<sup>-</sup>領域の形成：図19(A)]次に、レジストマスク6033～6035を除去し、アクティブマトリクス回路のnチャネル型TFTとなる島状半導体層6006にn型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域6041～6044には前記n<sup>-</sup>領域と同程度かそれより少ない濃度(具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup>)のリンが添加されるようにした。なお、ここで形成された不純物領域6041～6044に含まれるn型を付与する不純物元素の濃度を(n<sup>-</sup>)で表すこととする。従って、本明細書中では不純物領域6041～6044をn<sup>-</sup>領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域6068を除いて全ての不純物領域にn<sup>-</sup>の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【0191】[熱活性化の工程：図19(B)]次に、後に第1の層間絶縁膜の一部となる保護絶縁膜6045を形成した。保護絶縁膜6045は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400nmとすれば良い。

【0192】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱

32

処理工程を行った。この工程はファーンেসアニール法、レーザアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーンেসアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において300～650℃、好ましくは400～550℃、ここでは450℃、2時間の熱処理を行った。

【0193】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0194】[層間絶縁膜、ソース/ドレイン電極、遮光膜、画素電極、保持容量の形成：図19(C)]活性化工程を終えたら、保護絶縁膜6045の上に0.5～1.5μm厚の層間絶縁膜6046を形成した。前記保護絶縁膜6045と層間絶縁膜6046とでなる積層膜を第1の層間絶縁膜とした。

【0195】その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極6047～6049と、ドレイン電極6050、6051を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0196】次に、パッシベーション膜6052として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm(代表的には200～300nm)の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6052に開口部を形成しておいても良い。

【0197】その後、有機樹脂からなる第2の層間絶縁膜6053を約1μmの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

(18)

33

【0198】次に、アクティブマトリクス回路となる領域において、第2の層間絶縁膜6053上に遮光膜6054を形成した。遮光膜6054はアルミニウム(A1)、チタン(Ti)、タンタル(Ta)から選ばれた元素またはいずれかを主成分とする膜で100~300nmの厚さに形成した。そして、遮光膜6055の表面に陽極酸化法またはプラズマ酸化法により30~150nm(好ましくは50~75nm)の厚さの酸化膜6055を形成した。ここでは遮光膜6055としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜6055として酸化アルミニウム膜(アルミナ膜)を用いた。

【0199】なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30~150nm(好ましくは50~75nm)とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC(Diamond like carbon)膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0200】次に、第2の層間絶縁膜6055にドレイン電極6051に達するコンタクトホールを形成し、画素電極6056を形成した。なお、画素電極6057、6058はそれぞれ隣接する別の画素の画素電極である。画素電極6056~6058は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成した。

【0201】また、この時、画素電極6056と遮光膜6054とが酸化膜6055を介して重なった領域6059が保持容量を形成した。

【0202】こうして同一基板上に、ドライバー回路となるCMOS回路とアクティブマトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるCMOS回路にはnチャネル型TFT6081、pチャネル型TFT6082が形成され、アクティブマトリクス回路にはnチャネル型TFTでなる画素TFT6083が形成された。

【0203】CMOS回路のpチャネル型TFT6081には、チャネル形成領域6062、ソース領域6063、ドレイン領域6064がそれぞれ $p^+$ 領域で形成された。また、nチャネル型TFT6082には、チャネル形成領域6065、ソース領域6066、ドレイン領域6067、ゲート絶縁膜を介してゲート電極と重なったLDD領域(以下、Lov領域という。なお、ovとはoverlapの意である。)6068が形成された。この時、ソース領域6066、ドレイン領域6067はそれぞれ

34

( $n^-+n^+$ )領域で形成され、Lov領域6068は $n^-$ 領域で形成された。

【0204】また、画素TFT6084には、チャネル形成領域6069、6070、ソース領域6071、ドレイン領域6072、ゲート絶縁膜を介してゲート電極と重ならないLDD領域(以下、Loff領域という。なお、offとはoffsetの意である。)6073~6076、Loff領域6074、6075に接した $n^+$ 領域6077が形成された。この時、ソース領域6071、ドレイン領域6072はそれぞれ $n^+$ 領域で形成され、Loff領域6073~6076は $n^-$ 領域で形成された。

【0205】本実施形態の作製方法によると、アクティブマトリクス回路およびドライバー回路が要求する回路仕様に依じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができる。具体的には、nチャネル型TFTは回路仕様に依じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現する。

【0206】例えば、アクティブマトリクス型液晶表示装置の場合、nチャネル型TFT6082は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などのロジック回路に適している。また、nチャネル型TFT6083は低オフ電流動作を重視したアクティブマトリクス回路、サンプリング回路(サンプルホールド回路)に適している。

【0207】また、チャネル長3~7 $\mu$ mに対してLov領域の長さ(幅)は0.5~3.0 $\mu$ m、代表的には1.0~1.5 $\mu$ mとすれば良い。また、画素TFT6083に設けられるLoff領域6073~6076の長さ(幅)は0.5~3.5 $\mu$ m、代表的には2.0~2.5 $\mu$ mとすれば良い。

【0208】以上の工程によって作製されたアクティブマトリクス基板をもとに、液晶表示装置を作製する。作製工程例については、実施形態5を参照されたい。

【0209】(実施形態7)

【0210】図20は、本発明の液晶表示装置のアクティブマトリクス基板の別の構成の例である。8001はpチャネル型TFT、8002はnチャネル型TFT、8003はnチャネル型TFT、8004はnチャネル型TFTである。8001、8002、および8003はドライバの回路部を構成し、8004はアクティブマトリクス回路部を構成している。

【0211】8005~8013は、アクティブマトリクス回路を構成する画素TFTの半導体層である。8005、8009および8013は $n^+$ 領域、8006、8008、8010および8012は $n^-$ 領域、800

50

(19)

35

7および8011はチャンネル形成領域である。8014は絶縁膜のキャップ層であり、チャンネル形成領域にオフセット部を形成するために設けられる。

【0212】なお、本実施形態については、本出願人の特許出願である、特願平11-67809号を参照することができる。

【0213】（実施形態8）

【0214】上述の本発明の液晶表示装置は、図21に示すような3板式のプロジェクタに用いることができる。

【0215】図21において、2401は白色光源、2402～2405はダイクロイックミラー、2406ならびに2407は全反射ミラー、2408～2410は本発明の液晶表示装置、および2411は投影レンズである。

【0216】（実施形態9）

【0217】また、上述の本発明の液晶表示装置は、図22に示すような3板式のプロジェクタに用いることもできる。

【0218】図23において、2501は白色光源、2502ならびに2503はダイクロイックミラー、2504～2506は全反射ミラー、2507～2509は本発明の液晶表示装置、および2510はダイクロイックプリズム、および2511は投影レンズである。

【0219】（実施形態10）

【0220】また、上述の本発明の液晶表示装置は、図23に示すような単板式のプロジェクタに用いることもできる。

【0221】図23において、2601はランプとリフレクターとから成る白色光源である。2602、2603、および2604は、ダイクロイックミラーであり、それぞれ青、赤、緑の波長領域の光を選択的に反射する。2605はマイクロレンズアレイであり、複数のマイクロレンズによって構成されている。2606は本発明の液晶表示装置である。2607はフィールドレンズ、2608は投影レンズ、2609はスクリーンである。

【0222】（実施形態11）

【0223】上記実施形態8～10のプロジェクターは、その投影方法によってリアプロジェクターとフロントプロジェクターとがある。

【0224】図24（A）はフロント型プロジェクターであり、本体10001、本発明の液晶表示装置10002、光源10003、光学系10004、スクリーン10005で構成されている。なお、図24（A）には、液晶表示装置を1つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

36

【0225】図24（B）はリア型プロジェクターであり、10006は本体、10007は液晶表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリーンである。なお、図24

（B）には、アクティブマトリクス型半導体表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだリア型プロジェクタが示されている。

【0226】（実施形態12）

【0227】本実施形態では、本発明の液晶表示装置を10 ゴーグル型ディスプレイに用いた例を示す。

【0228】図25を参照する。2801はゴーグル型ディスプレイ本体である。2802-Rならびに2802-Lは本発明の液晶表示装置であり、2803-Rならびに2803-LはLEDバックライトであり、2804-Rならびに2804-Lは光学素子である。

【0229】（実施形態13）

【0230】本実施形態においては、本発明の液晶表示装置のバックライトにLEDを用いて、フィールドシーケンシャル駆動を行うものである。

【0231】図26に示すフィールドシーケンシャル駆動方法のタイミングチャートには、画像信号書き込みの開始信号（Vsync信号）、赤（R）、緑（G）ならびに青（B）のLEDの点灯タイミング信号（R、GならびにB）、およびビデオ信号（VIDEO）が示されている。Tfはフレーム期間である。また、TR、TG、TBは、それぞれ赤（R）、緑（G）、青（B）のLED点灯期間である。

【0232】液晶表示装置に供給される画像信号、例えばR1は、外部から入力される赤に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばG1は、外部から入力される緑に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばB1は、外部から入力される青に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。

【0233】フィールドシーケンシャル駆動方法においては、LED点灯期間TR期間、TG期間およびTB期間に、それぞれR、G、BのLEDが順に点灯する。赤のLEDの点灯期間（TR）には、赤に対応したビデオ信号（R1）が液晶パネルに供給され、液晶パネルに赤の画像1画面分が書き込まれる。また、緑のLEDの点灯期間（TG）には、緑に対応したビデオデータ（G1）が液晶パネルに供給され、液晶パネルに緑の画像1画面分が書き込まれる。また、青のLEDの点灯期間（TB）には、青に対応したビデオデータ（B1）が液晶表示装置に供給され、液晶表示装置に青の画像1画面分が書き込まれる。これらの3回の画像の書き込みにより、1フレームが形成される。

50 【0234】（実施形態14）

(20)

37

【0235】本実施形態においては、本発明の液晶表示装置をノートブック型パーソナルコンピュータに用いた例を図27に示す。

【0236】3001はノートブック型パーソナルコンピュータ本体であり、3002は本発明の液晶表示装置である。また、バックライトにはLEDが用いられている。なお、バックライトに従来のように陰極管を用いても良い。

【0237】（実施形態15）

【0238】本発明の液晶表示装置には他に様々な用途がある。本実施形態では、本発明の液晶表示装置を組み込んだ半導体装置について説明する。

【0239】このような半導体装置には、ビデオカメラ、スチルカメラ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図28に示す。

【0240】図28（A）は携帯電話であり、本体11001、音声出力部11002、音声入力部11003、本発明の液晶表示装置11004、操作スイッチ11005、アンテナ11006で構成される。

【0241】図28（B）はビデオカメラであり、本体12001、本発明の液晶表示装置12002、音声入力部12003、操作スイッチ12004、バッテリー12005、受像部12006で構成される。

【0242】図28（C）はモバイルコンピュータであり、本体13001、カメラ部13002、受像部13003、操作スイッチ13004、本発明の液晶表示装置13017で構成される。

【0243】図28（D）は携帯書籍（電子書籍）であり、本体14001、本発明の液晶表示装置14002、14003、記憶媒体14004、操作スイッチ14005、アンテナ14006で構成される。

【0244】図29（A）はパーソナルコンピュータであり、本体15001、画像入力部15002、表示部15003、キーボード15004等を含む。本発明を画像入力部15002、表示部15003やその他の信号制御回路に適用することができる。

【0245】図29（B）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体16001、表示部16002、スピーカ部16003、記録媒体16004、操作スイッチ16005等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部16002やその他の信号制御回路に適用することができる。

【0246】図29（C）はデジタルカメラであり、本体17001、表示部17002、接眼部17003、

38

操作スイッチ17004、受像部（図示しない）等を含む。本願発明を表示部17002やその他の信号制御回路に適用することができる。

【0247】図29（D）はディスプレイであり、本体18001、支持台18002、表示部18003等を含む。本発明は表示部18003に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上（特に30インチ以上）のディスプレイには有利である。

【発明の効果】

【0248】本発明の液晶表示装置によると、大画面化、高精細化、高解像度化および多階調化を実現できる小型のアクティブマトリクス型液晶表示装置が実現される。

【0249】

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の概略構成図である。

【図2】 本発明の液晶パネルの概略構成図である。

【図3】 本発明の液晶パネルの概略構成図である。

【図4】 本発明の液晶表示装置の概略構成図である。

【図5】 本発明の液晶表示装置のある実施形態のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図6】 本発明の液晶表示装置のある実施形態の階調表示レベルを示す図である。

【図7】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図8】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図9】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図10】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図11】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図12】 本発明の液晶表示装置のある実施形態の概略構成図である。

【図13】 本発明の液晶表示装置のある実施形態のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図14】 本発明の液晶表示装置の作製工程例を示す図である。

【図15】 本発明の液晶表示装置の作製工程例を示す図である。

【図16】 本発明の液晶表示装置の作製工程例を示す図である。

【図17】 本発明の液晶表示装置の作製工程例を示す図である。

【図18】 本発明の液晶表示装置の作製工程例を示す図である。

(21)

39

【図19】 本発明の液晶表示装置の作製工程例を示す図である。

【図20】 本発明の液晶表示装置の断面図である。

【図21】 本発明の液晶表示装置を用いた3板式プロジェクタの概略構成図である。

【図22】 本発明の液晶表示装置を用いた3板式プロジェクタの概略構成図である。

【図23】 本発明の液晶表示装置を用いた単板式プロジェクタの概略構成図である。

【図24】 本発明の液晶表示装置を用いたフロントプロジェクタおよびリアプロジェクタの概略構成図である。

【図25】 本発明の液晶表示装置を用いたゴーグル型ディスプレイの概略構成図である。

【図26】 フィールドシーケンシャル駆動のタイミングチャートである。

【図27】 本発明の液晶表示装置を用いたノートブック型パーソナルコンピュータの概略構成図である。

40

【図28】 本発明の液晶表示装置を用いた電子機器の例である。

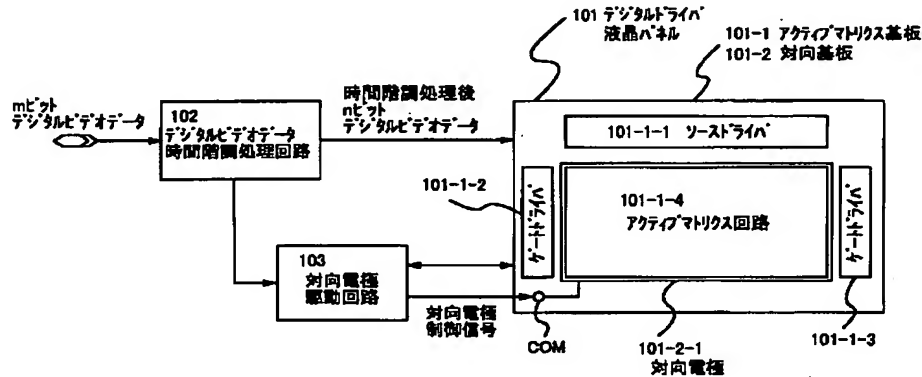
【図29】 本発明の液晶表示装置を用いた電子機器の例である。

【図30】 本発明の液晶表示装置の概略構成図である。

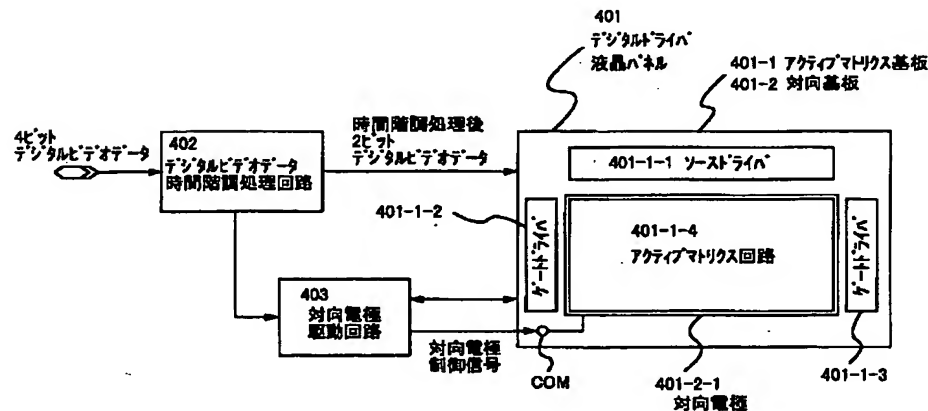
【符号の説明】

101	液晶パネル
101-1	アクティブマトリクス基板
101-1-1	ソースドライバ
101-1-2	ゲートドライバ
101-1-3	ゲートドライバ
101-1-4	アクティブマトリクス回路
101-2	対向基板
101-2-1	対向電極
102	デジタルビデオデータ時間階調処理回路
103	対向電極制御回路

【図1】



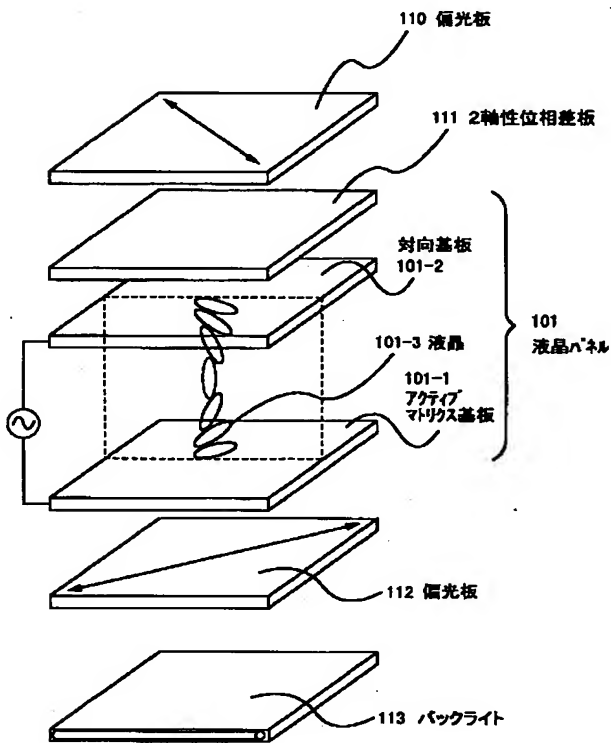
【図4】



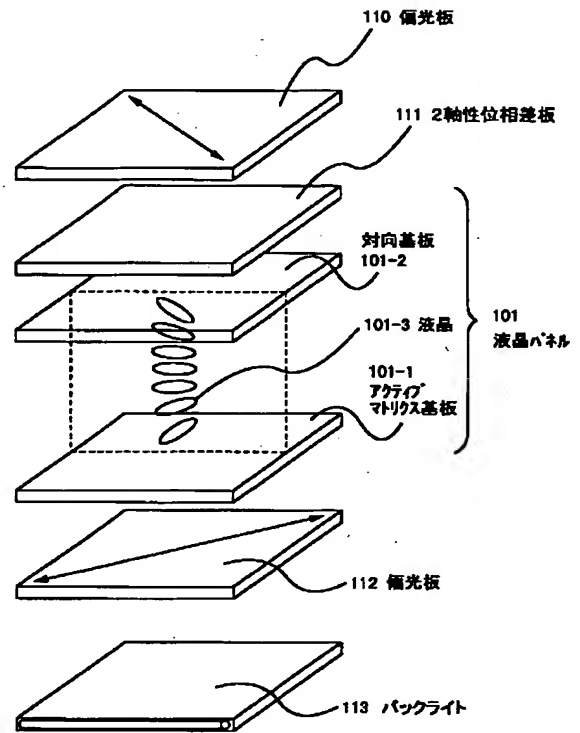


(22)

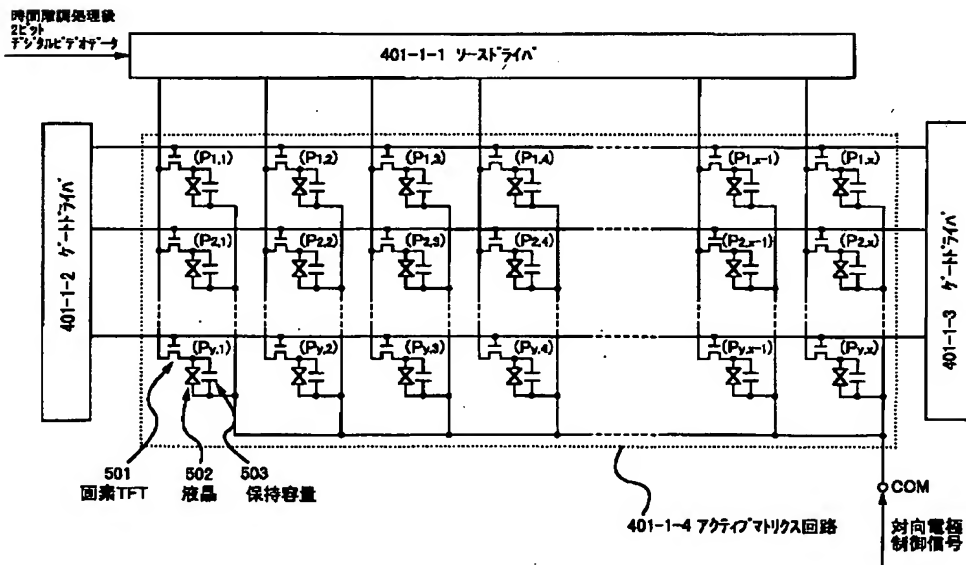
【図2】



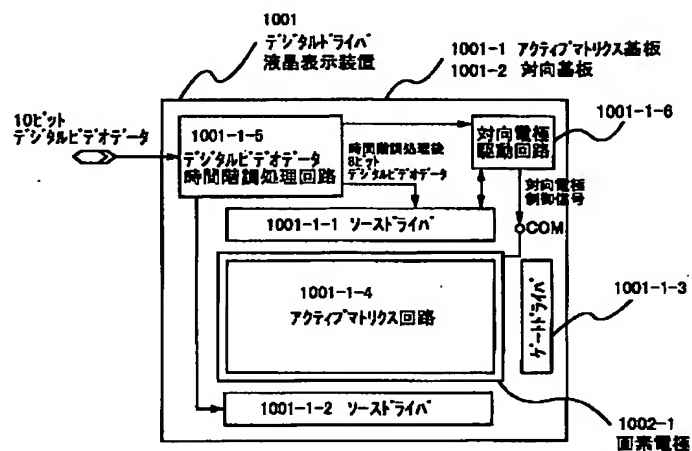
【図3】



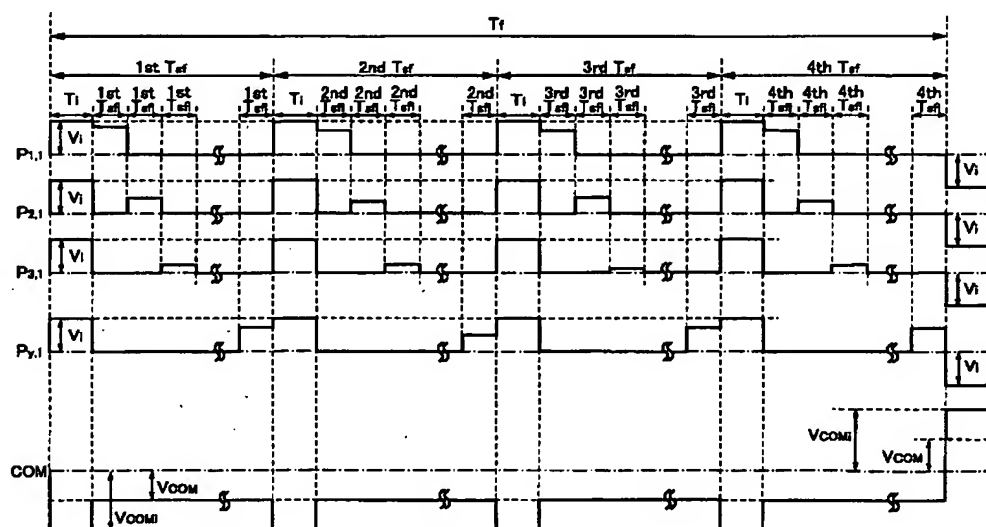
【図5】



—【圖-1-2】—

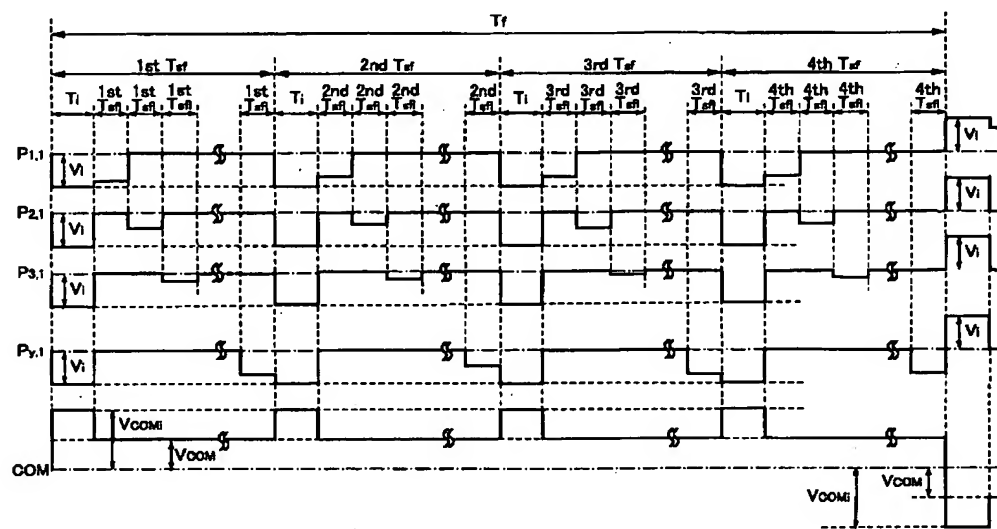


【图7】

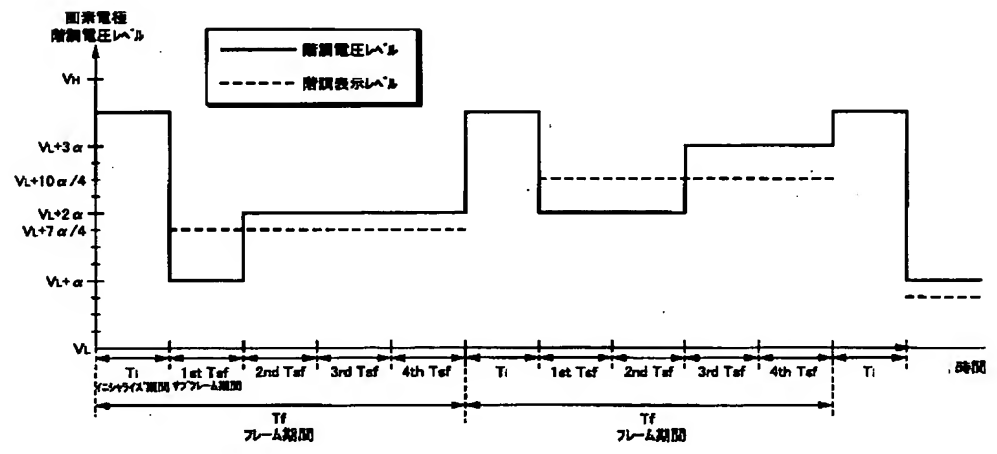


(24)

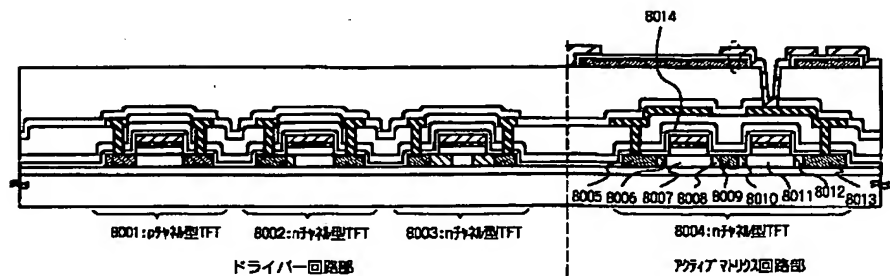
【図8】



【図9】

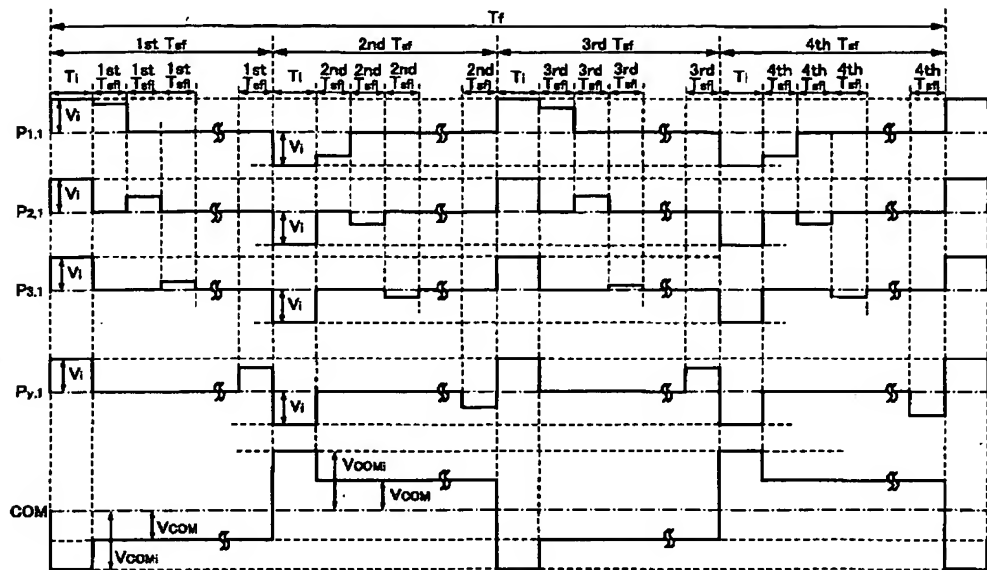


【図20】

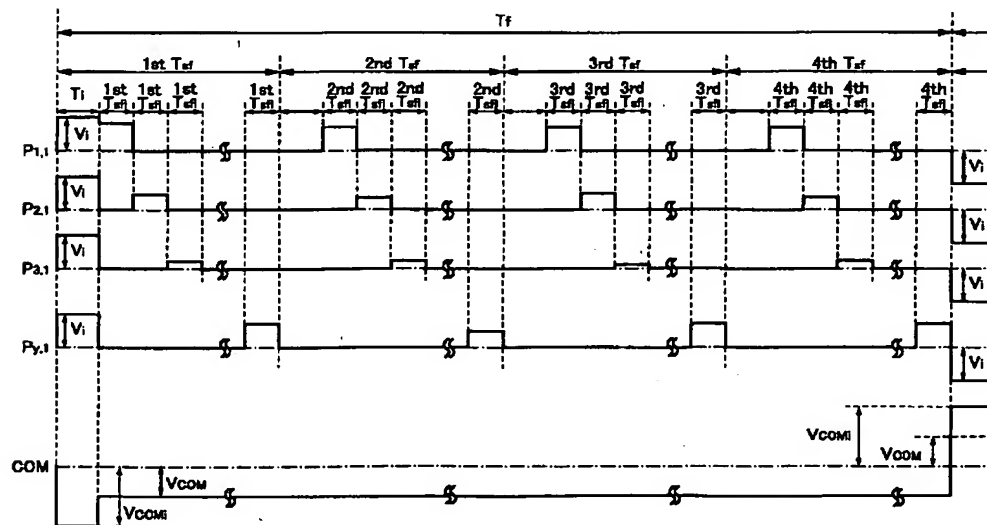


(25)

【図10】

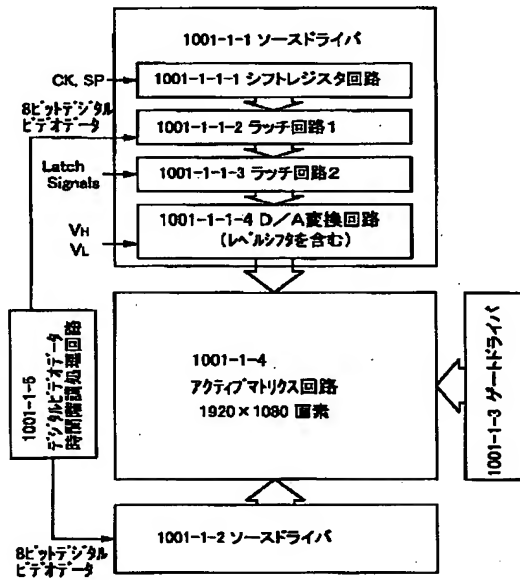


【図11】

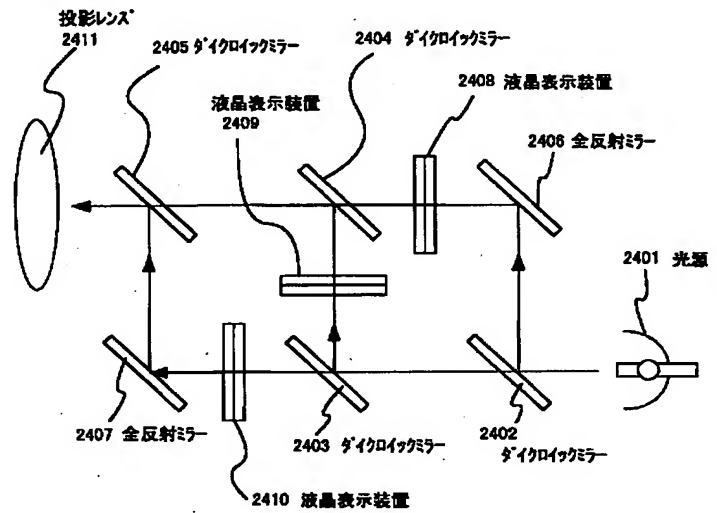


(26)

【図1-3】



【図2-1】



【図14】

(A) 島状半導体層、ゲート絶縁膜の形成

(B) n<sup>+</sup>領域の形成

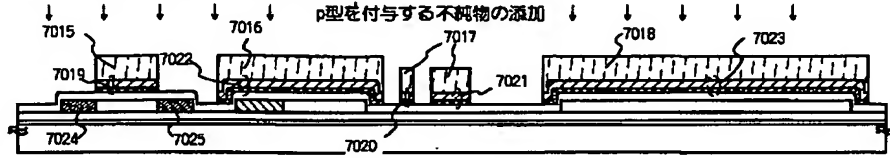
(C) ゲート電極用導電膜の形成



(27)

【図-1-5】

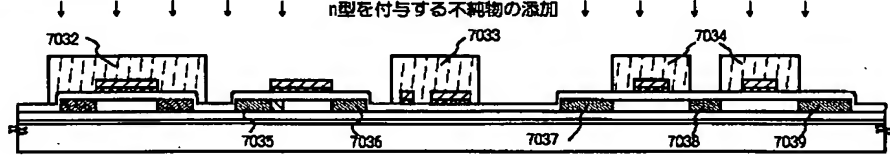
(A) p-chゲート電極の形成、p++領域の形成



(B) n-chゲート電極の形成

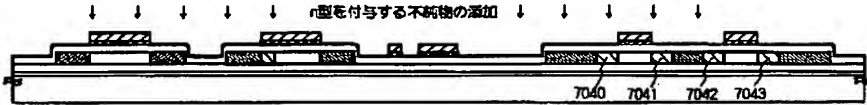


(C) n+領域の形成

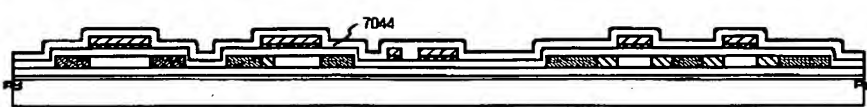


【図16】

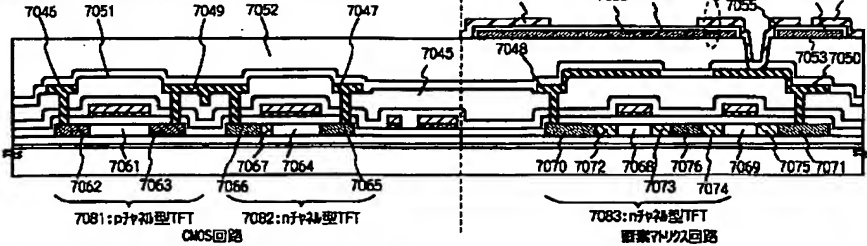
(A) n--領域の形成



(B) 熱活性化



(C) 層間絶縁膜、ソース/ドレイン電極、図素電極、保持容量の形成



(28)

【図17】

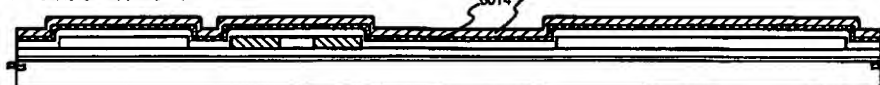
(A) 島状半導体層、ゲート絶縁膜の形成



(B) n+領域の形成



(C) ゲート電極用導電膜の形成

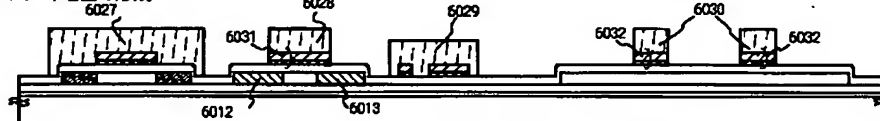


【図18】

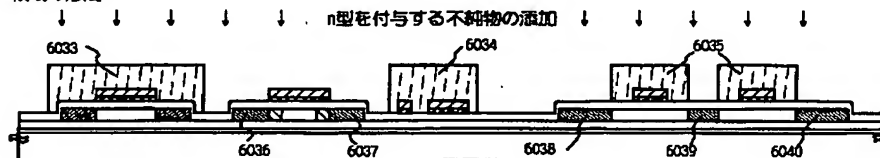
(A) p-chゲート電極の形成、p++領域の形成



(B) n-chゲート電極の形成

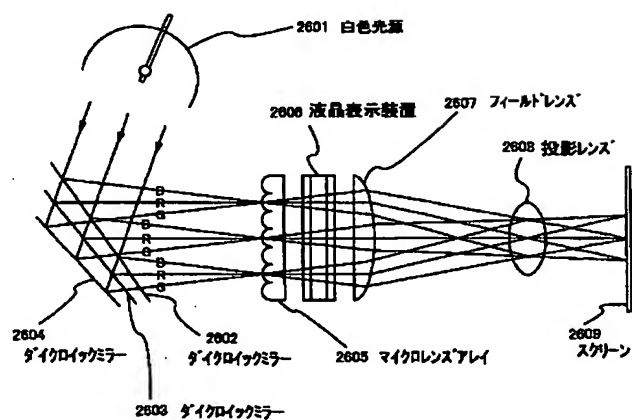
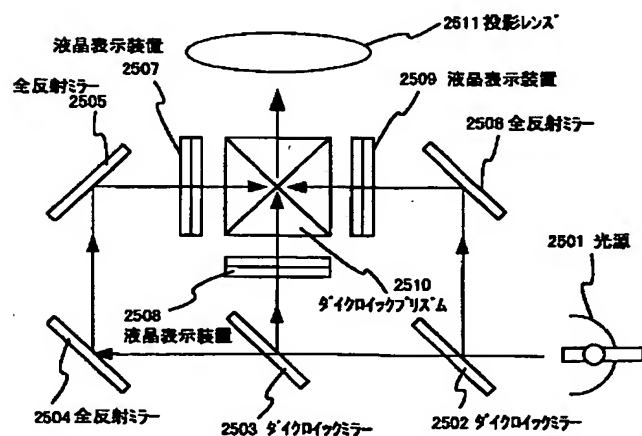


(C) n+領域の形成



【図22】

【図23】

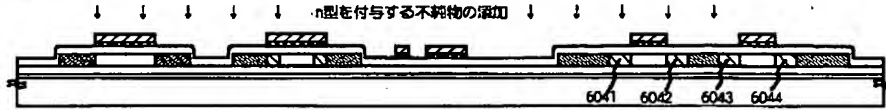




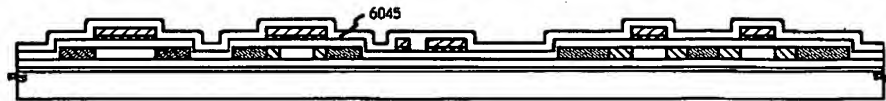
(29)

【図19】

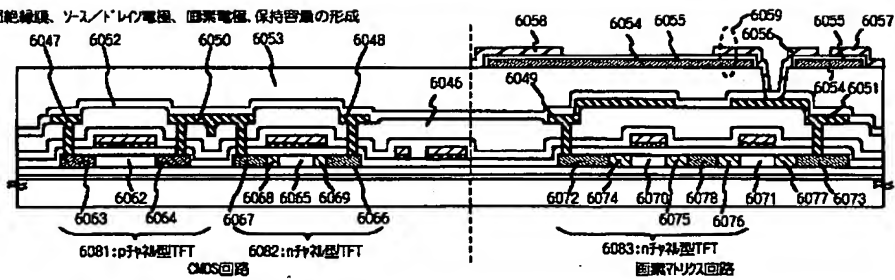
(A) n-領域の形成



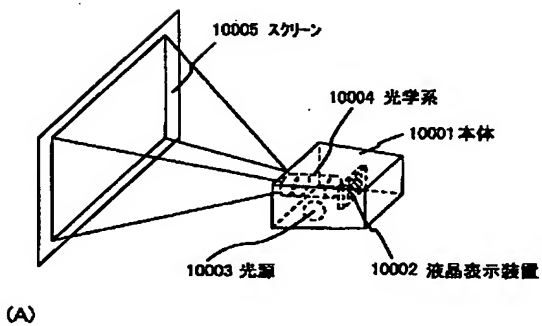
(B) 熱活性化



(C) 層間絶縁膜、ソース/ドレイン電極、回路電極、保持電極の形成

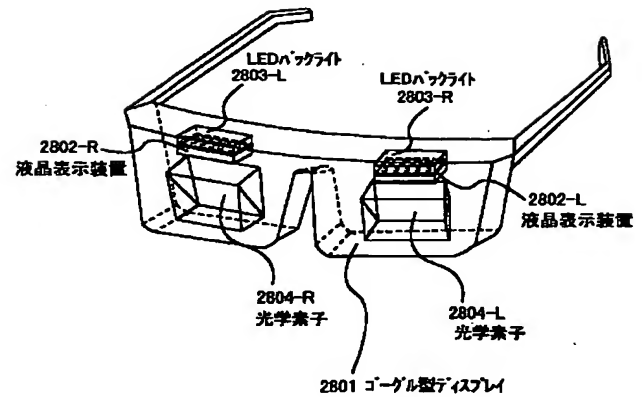


【図24】



(A)

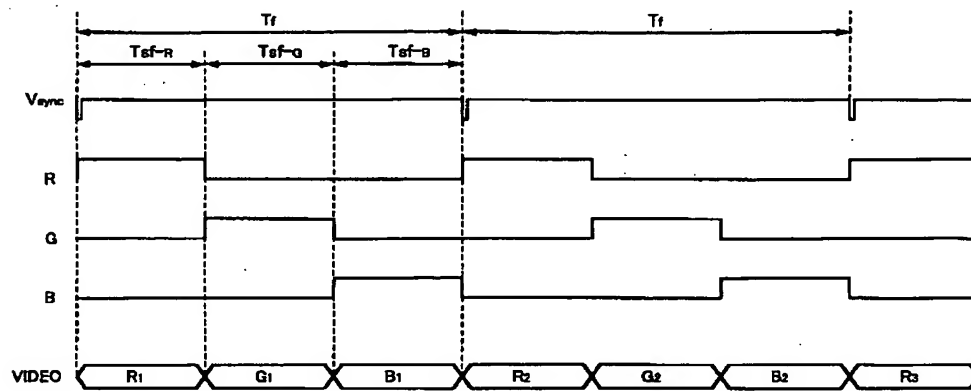
【図25】



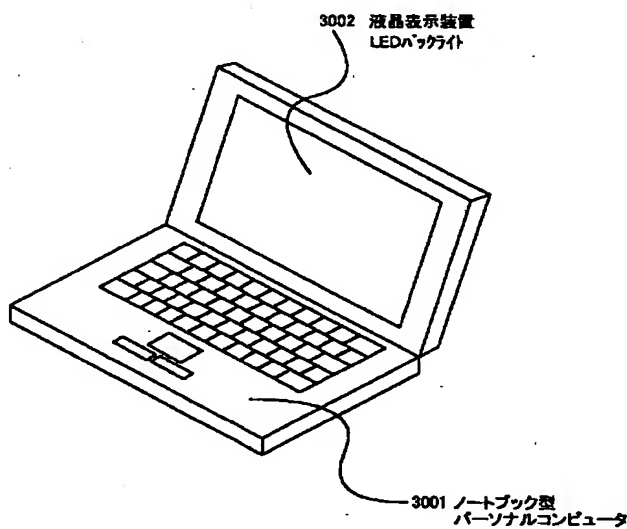
(B)

(30)

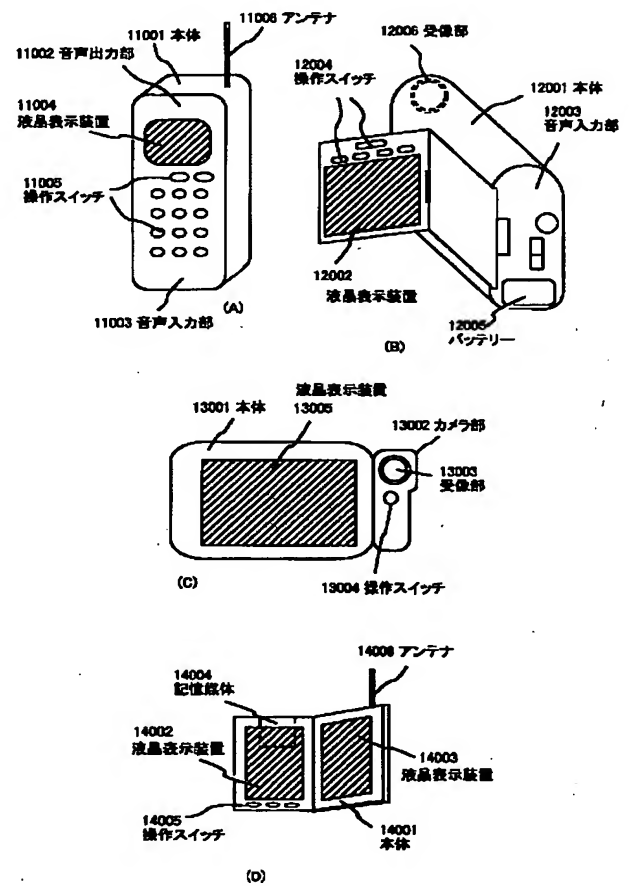
【図2.6】



【図27】

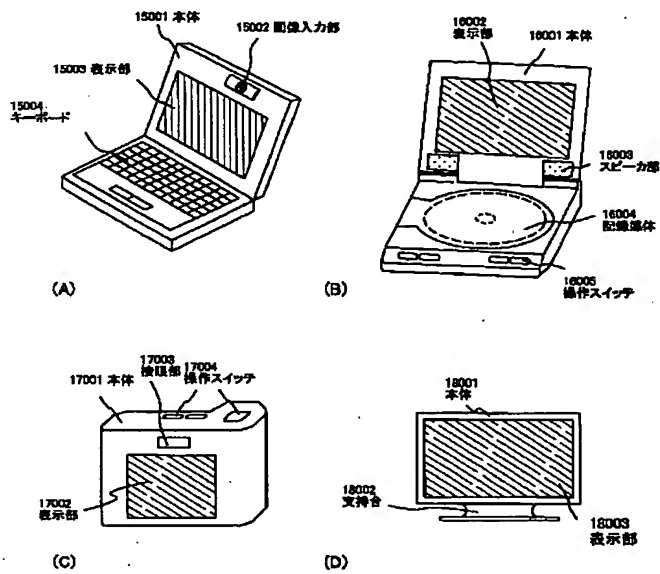


【図28】

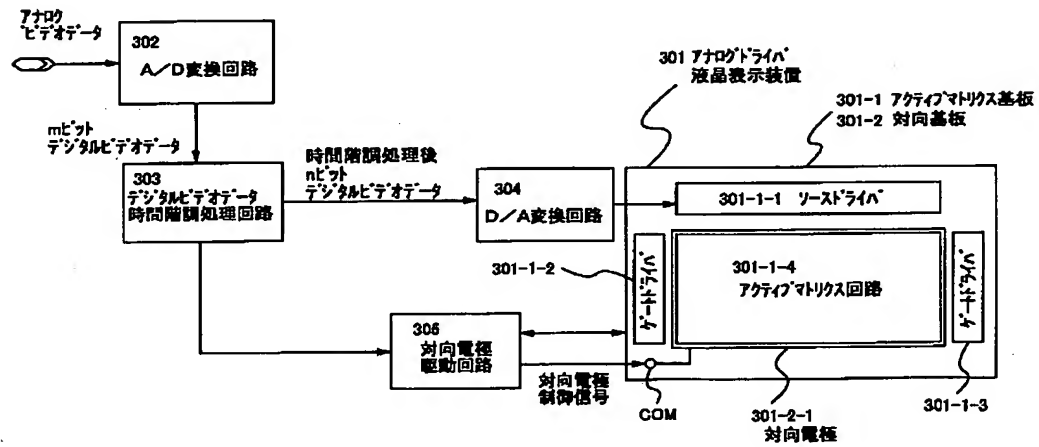


(31)

【図2-9】



【図30】



(32)

フロントページの続き

Fターム(参考) 2H088 EA10 EA13 EA14 EA15 EA22

HA03 HA06 HA08 HA28 JA09

JA28 MA03

2H093 NA16 NA53 NA56 ND06 ND20

NE04 NE06 NF09 NG02 NG20

5C006 AA01 AA22 AC02 AC28 AF83

BA19 BB16 BC03 BC06 BC12

BC20 BF34 BF49 EB05 FA56

GA04

5C080 AA10 BB05 CC03 DD07 DD30

EE29 FF12 GG08 JJ02 JJ04

JJ06 KK43

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第2区分  
【発行日】平成17年6月16日(2005. 6. 16)

【公開番号】特開2000-347634(P2000-347634A)

【公開日】平成12年12月15日(2000. 12. 15)

【出願番号】特願2000-81306(P2000-81306)

【国際特許分類第7版】

G 0 9 G 3/36

G 0 2 F 1/13

G 0 2 F 1/133

G 0 9 G 3/20

【F I】

G 0 9 G 3/36

G 0 2 F 1/13 5 0 5

G 0 2 F 1/133 5 7 5

G 0 9 G 3/20 6 1 2 F

G 0 9 G 3/20 6 4 1 S

【手続補正書】

【提出日】平成16年9月17日(2004. 9. 17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】液晶表示装置、ディスプレイ、プロジェクター、ゴーグル型ディスプレイ、携帯情報端末及びコンピュータ

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項2】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項3】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられ

た第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項4】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項5】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項6】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

前記半導体層は、結晶質ポリシリコン膜であり、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項7】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項8】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項9】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項10】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電



極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項11】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項12】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項13】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項14】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項15】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項16】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項17】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項18】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基

板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

**【請求項19】**

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、  
前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

**【請求項20】**

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

**【請求項21】**

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、  
バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

**【請求項22】**

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

## 【請求項 23】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

## 【請求項 24】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

## 【請求項 25】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

## 【請求項 26】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

前記半導体層は、結晶質ポリシリコン膜であり、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項27】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項28】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項29】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項30】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられ

た第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

**【請求項31】**

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

OCBモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

**【請求項32】**

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

OCBモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

**【請求項33】**

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

OCBモードで表示を行い、  
バックライトにLEDを用いており、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項34】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、  
前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有  
し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純  
物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設け  
られており、

OCBモードで表示を行い、  
バックライトにLEDを用いており、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項35】

画素に第1の薄膜トランジスタが設けられ、  
ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、  
前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられ  
た第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び  
第2のゲート電極を有し、  
前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純  
物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領  
域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極  
及び前記第2のゲート電極と重ならないで設けられており、  
前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられ  
た第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有  
し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不  
純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物  
領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電  
極と一部重なって設けられており、  
前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基  
板上に一体に形成されており、

OCBモードで表示を行い、  
バックライトにLEDを用いており、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項36】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、  
前記半導体層は、結晶質ポリシリコン膜であり、  
OCBモードで表示を行い、  
バックライトにLEDを用いており、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項37】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域  
と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純  
物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の  
不純物領域は、前記ゲート電極と重ならないで設けられており、  
前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、  
バックライトにLEDを用いており、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項38】

画素に第1の薄膜トランジスタが設けられ、  
ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、  
前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられ  
た第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有  
し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不  
純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物  
領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電  
極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられ  
た第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有  
し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不  
純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物  
領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電  
極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基  
板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、  
バックライトにLEDを用いており、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項39】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有  
し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純  
物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設け  
られており、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、  
バックライトにLEDを用いており、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項40】

画素に第1の薄膜トランジスタが設けられ、  
ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、  
前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられ  
た第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び  
第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純  
物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領  
域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極  
及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられ  
た第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有  
し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不  
純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物



領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

O C Bモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項41】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項42】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項43】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項44】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純

物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項45】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項46】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

前記半導体層は、結晶質ポリシリコン膜であり、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項47】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項48】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不

純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

#### 【請求項49】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

#### 【請求項50】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

#### 【請求項51】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、  
OCBモードで表示を行い、  
バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、  
前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする  
液晶表示装置。

【請求項52】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域  
と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純  
物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の  
不純物領域は、前記ゲート電極と重ならないで設けられており、  
OCBモードで表示を行い、  
バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、  
前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする  
液晶表示装置。

【請求項53】

画素に第1の薄膜トランジスタが設けられ、  
ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、  
前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられ  
た第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有  
し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不  
純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物  
領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電  
極と重ならないで設けられており、  
前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられ  
た第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有  
し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不  
純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物  
領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電  
極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基  
板上に一体に形成されており、

OCBモードで表示を行い、  
バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、  
前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする  
液晶表示装置。

【請求項54】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、  
前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有  
し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純  
物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設け  
られており、

OCBモードで表示を行い、  
バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、  
前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする  
液晶表示装置。

## 【請求項 55】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

## 【請求項 56】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

## 【請求項 57】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

## 【請求項 58】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電

極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項59】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項60】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

## 【請求項 6 1】

請求項 1 乃至請求項 6 0 のいずれか一項に記載の前記液晶表示装置を用いたディスプレイ。

## 【請求項 6 2】

請求項 6 1 において、前記ディスプレイは対角 1 0 インチ以上であることを特徴とするディスプレイ。

## 【請求項 6 3】

請求項 6 1 において、前記ディスプレイは対角 3 0 インチ以上であることを特徴とするディスプレイ。

## 【請求項 6 4】

請求項 1 乃至請求項 6 0 のいずれか一項に記載の前記液晶表示装置を用いたプロジェクター。

## 【請求項 6 5】

請求項 1 乃至請求項 6 0 のいずれか一項に記載の前記液晶表示装置を 2 個用いたゴーグル型ディスプレイ。

## 【請求項 6 6】

請求項 1 乃至請求項 6 0 のいずれか一項に記載の前記液晶表示装置を用いた携帯情報端末。

## 【請求項 6 7】

請求項 1 乃至請求項 6 0 のいずれか一項に記載の前記液晶表示装置を用いたコンピュータ。

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第2区分  
 【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2000-347634(P2000-347634A)

【公開日】平成12年12月15日(2000.12.15)

【出願番号】特願2000-81306(P2000-81306)

【国際特許分類第7版】

G 0 9 G 3/36

G 0 2 F 1/13

G 0 2 F 1/133

G 0 9 G 3/20

【F I】

G 0 9 G 3/36

G 0 2 F 1/13 5 0 5

G 0 2 F 1/133 5 7 5

G 0 9 G 3/20 6 1 2 F

G 0 9 G 3/20 6 4 1 S

【手続補正書】

【提出日】平成16年11月8日(2004.11.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項2】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、



前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

フィールドシークエンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項3】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

フィールドシークエンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項4】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

フィールドシークエンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項5】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

フィールドシークエンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項6】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられ

た第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項7】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項8】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項9】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項10】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の

不純物領域は、前記ゲート電極と重ならないで設けられており、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項11】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項12】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

OCBモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項13】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

OCBモードで表示を行い、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項14】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、  
前記半導体層は、結晶質ポリシリコン膜であり、  
OCBモードで表示を行い、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項15】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、  
前記半導体層は、結晶質ポリシリコン膜であり、  
OCBモードで表示を行い、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項16】

画素に第1の薄膜トランジスタが設けられ、  
ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、  
前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、  
前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、  
前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、  
前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、  
OCBモードで表示を行い、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項17】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、  
前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、  
前記半導体層は、結晶質ポリシリコン膜であり、  
OCBモードで表示を行い、  
フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項18】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

O C Bモードで表示を行い、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

#### 【請求項19】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

#### 【請求項20】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

#### 【請求項21】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項22】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項23】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項24】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不

純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項25】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項26】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項27】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

OCBモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項28】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域

と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

OCBモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項29】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

OCBモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項30】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

OCBモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項31】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不



純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

OCBモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項32】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項33】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項34】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトにLEDを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項35】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

O C Bモードで表示を行い、

バックライトにL E Dを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項36】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

O C Bモードで表示を行い、

バックライトにL E Dを用いており、

フィールドシーケンシャル駆動を行うことを特徴とする液晶表示装置。

【請求項37】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

バックライトに赤のL E Dと、緑のL E Dと、青のL E Dを用いており、

前記赤のL E Dと、前記緑のL E Dと、前記青のL E Dが順次点灯することを特徴とする液晶表示装置。

【請求項38】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

バックライトに赤のL E Dと、緑のL E Dと、青のL E Dを用いており、

前記赤のL E Dと、前記緑のL E Dと、前記青のL E Dが順次点灯することを特徴とする液晶表示装置。

【請求項39】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項40】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項41】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項42】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、  
前記半導体層は、結晶質ポリシリコン膜であり、  
バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、  
前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項43】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、  
前記半導体層は、結晶質ポリシリコン膜であり、  
バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、  
前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項44】

画素に第1の薄膜トランジスタが設けられ、  
ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、  
前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、  
前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、  
前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、  
前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、  
バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、  
前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項45】

画素に薄膜トランジスタが設けられ、  
前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、  
前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、  
前記半導体層は、結晶質ポリシリコン膜であり、  
バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、  
前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

## 【請求項 46】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

## 【請求項 47】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

## 【請求項 48】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

## 【請求項 49】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられ

た第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

#### 【請求項50】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

#### 【請求項51】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

#### 【請求項52】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、ゲート絶縁膜と、2つのゲート電極を有し、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、  
前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項53】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極を有し、前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項54】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極を有し、前記第1の半導体層は、第1のチャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2のゲート電極を有し、前記第2の半導体層は、第2のチャンネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第2のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

【請求項55】

画素に薄膜トランジスタが設けられ、

前記薄膜トランジスタは、半導体層と、前記半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた2つのゲート電極を有し、

前記半導体層は、チャンネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記ゲート電極と重ならないで設けられており、

前記半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

## 【請求項 56】

画素に第1の薄膜トランジスタが設けられ、

ソースドライバ及びゲートドライバに第2の薄膜トランジスタが設けられ、

前記第1の薄膜トランジスタは、第1の半導体層と、前記第1の半導体層上に設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1のゲート電極及び第2のゲート電極を有し、

前記第1の半導体層は、第1のチャネル形成領域と、第1の不純物領域と、第2の不純物領域とを有し、前記第1の不純物領域が含む不純物元素の濃度は、前記第2の不純物領域が含む不純物元素の濃度よりも低く、前記第1の不純物領域は、前記第1のゲート電極及び前記第2のゲート電極と重ならないで設けられており、

前記第2の薄膜トランジスタは、第2の半導体層と、前記第2の半導体層上に設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第3のゲート電極を有し、前記第2の半導体層は、第2のチャネル形成領域と、第3の不純物領域と、第4の不純物領域とを有し、前記第3の不純物領域が含む不純物元素の濃度は、前記第4の不純物領域が含む不純物元素の濃度よりも低く、前記第3の不純物領域は、前記第3のゲート電極と一部重なって設けられており、

前記第1の薄膜トランジスタ、前記ソースドライバ、及び前記ゲートドライバは同一基板上に一体に形成されており、

前記第1の半導体層と前記第2の半導体層は、結晶質ポリシリコン膜であり、

OCBモードで表示を行い、

バックライトに赤のLEDと、緑のLEDと、青のLEDを用いており、

前記赤のLEDと、前記緑のLEDと、前記青のLEDが順次点灯することを特徴とする液晶表示装置。

## 【請求項 57】

請求項1乃至請求項56のいずれか一項に記載の前記液晶表示装置を用いたディスプレイ。

## 【請求項 58】

請求項57において、前記ディスプレイは対角10インチ以上であることを特徴とするディスプレイ。

## 【請求項 59】

請求項57において、前記ディスプレイは対角30インチ以上であることを特徴とするディスプレイ。

## 【請求項 60】

請求項1乃至請求項56のいずれか一項に記載の前記液晶表示装置を用いたプロジェクター。

## 【請求項 61】

請求項1乃至請求項56のいずれか一項に記載の前記液晶表示装置を2個用いたゴーグル型ディスプレイ。

## 【請求項 62】

請求項1乃至請求項56のいずれか一項に記載の前記液晶表示装置を用いた携帯情報端末。

## 【請求項 63】

請求項1乃至請求項56のいずれか一項に記載の前記液晶表示装置を用いたコンピュータ。



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**